

UNIVERSIDADE FEDERAL DO PARÁ
INSTITUTO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

TÍTULO DO TRABALHO

**Filtragem Digital e Reconstrução de Sinais em
Frequência Intermediária Usando FPGA**

NOME DO AUTOR

Patrício Elvis Sousa Cordeiro

DM_14/2011

UFPA / ITEC / PPGEE
Campus Universitário do Guamá
Belém-Pará-Brasil
2011

UNIVERSIDADE FEDERAL DO PARÁ
INSTITUTO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

NOME DO AUTOR

Patrício Elvis Sousa Cordeiro

TÍTULO DO TRABALHO

Filtragem Digital e Reconstrução de Sinais em
Frequência Intermediária usando FPGA

DM_14/2011

UFPA / ITEC / PPGEE
Campus Universitário do Guamá
Belém-Pará-Brasil
2011

UNIVERSIDADE FEDERAL DO PARÁ
INSTITUTO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

NOME DO AUTOR

Patrício Elvis Sousa Cordeiro

TÍTULO DO TRABALHO

**Filtragem Digital e Reconstrução de Sinais em
Frequência Intermediária usando FPGA**

Dissertação submetida à Banca
Examinadora do Programa de
Pós-graduação em Engenharia Elétrica
da UFPA para a obtenção do Grau de
Mestre em Engenharia Elétrica, ênfase
em Telecomunicações.

UFPA / ITEC / PPGEE
Campus Universitário do Guamá
Belém-Pará-Brasil
2011

Filtragem Digital e Reconstrução de Sinais em Frequência Intermediária Usando FPGA

C376e Sousa Cordeiro, Patrício Elvis

Filtragem Digital e Reconstrução de Sinais em Frequência Intermediária Usando FPGA
Patrício Elvis Sousa Cordeiro; orientador, Aldebaro Barreto da Rocha Klautau Júnior. 2011.

Dissertação (Mestrado) - Universidade Federal do Pará, Instituto de Tecnologia,
Programa de Pós-Graduação em Engenharia Elétrica, Belém, 2011.

1. Amostragem - reconstrução, telecomunicações - repetidor digital. 2. FPGA - filtragem digital
3. Prototipagem - PCI. I. Título.

UNIVERSIDADE FEDERAL DO PARÁ
INSTITUTO DE TECNOLOGIA
PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

Filtragem Digital e Reconstrução de Sinais em Frequência Intermediária Usando FPGA

AUTOR: Patrício Elvis Sousa Cordeiro

DISSERTAÇÃO DE MESTRADO SUBMETIDA À AVALIAÇÃO DA BANCA EXAMINADORA APROVADA PELO COLEGIADO DO PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA DA UNIVERSIDADE FEDERAL DO PARÁ E JULGADA ADEQUADA PARA OBTENÇÃO DO GRAU DE MESTRE EM ENGENHARIA ELÉTRICA NA ÁREA DE TELECOMUNICAÇÕES.

APROVADA EM 05/04/2011

BANCA EXAMINADORA:

.....
Prof. Dr. Aldebaro Barreto da Rocha Klautau Júnior (ORIENTADOR - UFPA)

.....
Prof. Dr. Guilherme Augusto Limeira Araújo (MEMBRO - UFPA)

.....
Prof. Dr. Ivan Sebastião de Souza e Silva (MEMBRO -UFPA)

.....
Prof. Dr. Ronaldo de Freitas Zampolo (MEMBRO - UFPA)

VISTO:

.....
Prof. Dr. Marcus Vinícius Alves Nunes
COORDENADOR DO PPGEE/ITEC/UFPA

À minha filha Yasmin,
à minha princesa Milanca,
e à minha mãe.
Os três amores da minha vida.

Agradecimentos

Primeiro a Deus, pelas oportunidades que me deu e continua me dando;
agradeço a minha querida Milanca, o amor da minha vida, que sempre me apoia e me dá forças quando preciso;
agradeço a minha mãe, que fez de tudo para que eu chegasse onde cheguei;
Agradeço ao meu orientador Aldebaro Klautau por ter me dado a oportunidade quando eu mais precisava e pela sua grandiosa colaboração, dedicação e atenção prestada a mim e ao desenvolvimento deste trabalho e de muitos outros.
Agradeço ao Adalbery pela disposição, ensinamentos e trabalhos realizados.
Agradeço ao pessoal do Labelectron/CERTI - Jane, Durval, Juliana, Thiago, Zeca e todos aqueles que contribuíram neste trabalho.
Agradeço a todos os meus amigos e amigas de LAPS, LASSE e de Belém em geral, sempre pude contar com vocês.

Resumo

O presente trabalho trata da filtragem e reconstrução de sinais em frequência intermediária usando FPGA. É feito o desenvolvimento de algoritmos usando processamento digital de sinais e também a implementação dos mesmos, constando desde o projeto da placa de circuito impresso, montagem e teste. O texto apresenta um breve estudo de amostragem e reconstrução de sinais em geral. Especial atenção é dada à amostragem de sinais banda-passante e à análise de questões práticas de reconstrução de sinais em frequência intermediária. Dois sistemas de reconstrução de sinais baseados em processamento digital de sinais, mais especificamente reamostragem no domínio discreto, são apresentados e analisados. São também descritas teorias de processos de montagem e soldagem de placas eletrônicas com objetivo de definir uma metodologia de projeto, montagem e soldagem de placas eletrônicas. Tal metodologia é aplicada no projeto e manufatura do protótipo de um módulo de filtragem digital para repetidores de telefonia celular. O projeto, implementado usando FPGA, é baseado nos dois sistemas supracitados. Ao final do texto, resultados obtidos em experimentos de filtragem digital e reconstrução de sinais em frequência intermediária com o protótipo desenvolvido são apresentados.

PALAVRAS-CHAVES: Amostragem, reconstrução, frequência intermediária, repetidor celular, FPGA, filtragem digital, protótipo.

Abstract

This work deals with filtering and reconstruction of intermediate frequency signals using FPGA. Development and implementation of digital signal processing algorithms are performed, including the design of a printed circuit board, its assembly and the circuit testing. The dissertation presents a brief study of sampling and reconstruction of analog signals. Special attention is given to the sampling of analog band-pass signals and to the analysis of practical issues in the reconstruction of intermediate frequency signals. Two systems for signal reconstruction based on digital signal processing specifically in discrete resampling are presented and analyzed. Theories are also described for the welding and assembly processes of electronic boards in order to define a methodology for the design, assembly and soldering of electronic boards. This methodology is applied in the design and manufacture of the prototype of a digital filtering module for digital cellular repeaters. The project, implemented using FPGA, is based on the two systems mentioned above. At the end of the text, results of digital filtering and reconstruction of intermediate frequency signals using the developed prototype are presented.

KEY-WORDS: Sampling, reconstruction, intermediate frequency, cell phone repeater, FPGA, digital filtering, prototype.

Sumário

Lista de Figuras	iv
Lista de Tabelas	ix
Glossário	x
1 Introdução	1
1.1 Tema e proposta do trabalho	1
1.2 Organização do trabalho	2
2 Amostragem e Reconstrução de Sinais em Frequência Intermediária	4
2.1 Introdução	4
2.2 Amostragem de sinais banda-passante	6
2.3 Reconstrução de sinais em FI	10
2.4 Distorção Espectral	17
2.5 Conclusão	18
3 Filtragem Digital de Sinais em Frequência Intermediária usando FPGA	19
3.1 Introdução	19
3.1.1 Repetidor digital de sistemas de celular	20
3.2 Projeto de um filtro digital para repetidores de sistemas de celular usando FPGA	22
3.2.1 Determinação da taxa de amostragem	22
3.2.2 Projeto e implementação do filtro digital	23
3.3 Conclusão	29
4 Resultados	30
4.1 Introdução	30

4.2	Experimento 1: Resultados de filtragem digital e reconstrução de sinais em FI	30
4.3	Ferramentas usadas	31
4.3.1	Kit DSP Cyclone III Edition	31
4.4	Analizador de espectro N9320B	31
4.5	Matlab	32
4.6	Descrição do experimento	32
4.7	Apresentação dos resultados e comentários	35
4.8	Experimento 2: Prototipagem de um módulo de filtragem digital para um repetidor de celular	39
4.8.1	Ferramentas usadas	39
4.8.1.1	LPKF ProtoMat S62	39
4.8.1.2	LPKF CircuitCAM	40
4.8.1.3	LPKF BoardMaster	40
4.8.1.4	LPKF Zelprint LT300	40
4.8.1.5	LPKF ProtoPlace BGA	41
4.8.1.6	LPKF ProtoFlow	42
4.8.2	Descrição dos processos	43
4.8.2.1	Definição dos requisitos técnicos e elétricos	43
4.8.2.2	Esquemático e <i>layout</i>	44
4.8.2.3	Análise DFM	44
4.8.2.4	Manufatura da PCI	44
4.8.2.5	Processo de montagem e soldagem da PCI	44
4.8.2.6	Aplicação da pasta	45
4.8.2.7	Inserção de componentes	46
4.8.2.8	Solda por refusão	46
4.8.2.9	Teste e validação do protótipo	46
4.9	Apresentação dos resultados e comentários	48
4.10	Conclusão	48
5	Conclusão	53
	Apendice	55

A	Processos de montagem e soldagem de placas de circuito impresso	55
A.1	Introdução	55
A.2	Conceitos e materiais de soldagem	57
A.2.1	O conceito de soldagem	57
A.2.1.1	O conceito de molhabilidade	58
A.2.1.2	O Fluxo	59
A.2.1.3	Solda e pasta de solda	60
A.2.2	Processo de solda por onda	62
A.3	Processo de solda por refusão	64
A.3.1	Perfil térmico de solda por refusão	64
A.3.1.1	Pré-aquecimento	66
A.3.1.2	Pré-refusão ou ativação	66
A.3.1.3	Refusão	67
A.3.1.4	Resfriamento	68
A.3.2	Monitoramento do perfil térmico	68
A.4	Fluxos de montagem e soldagem de placas eletrônicas	70
A.4.1	Fluxo de montagem para PCA com tecnologia THT	71
A.4.1.1	Componentes THT no Top	71
A.4.2	Fluxo de montagem para PCA com tecnologia SMT	71
A.4.2.1	Componentes SMT no Top	71
A.4.3	Componentes SMT no top e Bottom	72
A.4.4	Fluxo de montagem para PCA com tecnologia mista (THT e SMT) . .	73
A.4.4.1	Componentes SMT e THT no TOP	73
A.4.4.2	Componentes THT no TOP e SMT no Bottom	74
A.4.4.3	Componentes SMT no TOP e no Bottom e THT no TOP . .	74
A.5	Folha de processos	75
A.6	Conclusão	77
	Bibliografia	82

Lista de Figuras

2.1	Diagrama em blocos de um conversor <i>contínuo/discreto</i> ideal.	5
2.2	Limites de frequência de amostragem para sinais passa-banda. (a) limite inferior Ω'_s (b) limite superior $\Omega''_s < \Omega'_s$	7
2.3	Esquema típico de processamento digital e reconstrução de sinais banda-base. .	10
2.4	Reconstrução de um sinal banda-base. (a) Resposta em frequência de um sinal analógico em banda-base. (b) Versão amostrada do sinal sobreposta com o módulo da resposta em frequência do filtro <i>ZOH</i> . (c) Ilustração da filtragem passa-baixas do sinal. (d) Versão reconstruída do sinal.	11
2.5	Diagrama em blocos simplificado de um Conversor D/A.	12
2.6	Filtro <i>Zero-order hold</i> . (a) Resposta ao impulso ($h_o(t)$). (b) Módulo da resposta em frequência ($ H_o(j\Omega) $).	12
2.7	Diagrama em blocos de um esquema típico de reconstrução de sinais em FI por translação na frequência.	14
2.8	Reconstrução de sinais em FI pelo método de translação na frequência. (a) Sinal analógico em FI. (b) Sinal na saída do conversor D/A. (c) Sinal reconstruído em banda-base. (d) Sinal transladada da banda-base para a FI correspondente. .	15
2.9	Reconstrução de sinais em FI pelo método de reamostragem discreta. (a) Ilustração do sinal na saída do conversor D/A sem <i>upsampling</i> . (b) Sinal na saída do conversor D/A (sem <i>upsampling</i>). (c) Efeito do <i>upsampling</i> no sinal $X(j\Omega)$ e no $ H_0(j\Omega) $ (para $L = 2$). (d) Saída do conversor D/A após o processo de <i>upsampling</i>	16
2.10	Sistemas para filtragem e reconstrução de sinais em FI pelo método de reamostragem discreta: (a) Sistema 1 - <i>upsampling</i> seguido de filtragem. (b) Sistema 2 - filtragem seguido de <i>upsampling</i>	17

3.1	Diagrama em blocos de um repetidor de sistemas de celular.	21
3.2	Exemplo do espectro de um sinal GSM separado em 5 bandas de frequência. (a) Espectro do sinal. (b) Ilustração das bandas no domínio da frequência. . .	22
3.3	Versão amostrada do sinal $X(f)$ ($X_d(f)$).	24
3.4	Sistemas para filtragem e reconstrução de sinais em FI pelo método de reamostragem discreta: (a) Sistema 1 - <i>upsampling</i> seguido de filtragem. (b) Sistema 2 - filtragem seguido de <i>upsampling</i>	24
3.5	Amplitudes das respostas em frequência ideal dos filtros para os Sistemas 1 e 2. (a) Amplitude da resposta em frequência ideal do filtro para o Sistema 1. (b) Amplitude da resposta em frequência ideal do filtro para o Sistema 2.	25
3.6	Diagrama em blocos de estrutura de filtro FIR totalmente paralela.	26
3.7	Magnitudes das respostas em frequência dos filtros para os Sistemas 1 e 2: (a) Magnitude da resposta em frequência do filtro para os Sistema 1. (b) Magnitude da resposta em frequência do filtro para os Sistema 2.	28
4.1	Kit de desenvolvimento DSP, <i>Cyclone III edition</i>	31
4.2	Analisador de espectro N9320B.	32
4.3	Esquemático do Sistema sem upsampling implementado no <i>DSP Builder</i>	33
4.4	Esquemático do Sistema 1 implementado no <i>DSP Builder</i>	33
4.5	Esquemático do Sistema 2 implementado no <i>DSP Builder</i>	33
4.6	Diagrama do esquema do experimento 1.	34
4.7	Resultados de reconstrução de sinais em FI obtidos através do Sistema sem <i>Upsampling</i> : (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.	36
4.8	Resultados de reconstrução de sinais em FI obtidos através do Sistema 1 - <i>Upsampling</i> seguido de filtragem: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro FIR. (b) Diferença calculada entre as duas amplitudes.	37

4.9	Resultados de reconstrução de sinais em FI obtidos através do Sistema 2 - filtragem seguido de <i>Upsampling</i> : (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro FIR. (b) Diferença calculada entre as duas amplitudes.	38
4.10	Máquina de fabricação de PCIs <i>LPKF ProtoMat S62</i>	39
4.11	Janela principal do <i>LPKF CircuitCAM</i>	40
4.12	Janela principal do <i>LPKF BoardMaster</i>	41
4.13	Impressora manual de pasta de solda <i>LPKF Zelprint LT300</i>	41
4.14	Insersora de BGA <i>LPKF ProtoPlace BGA</i>	42
4.15	Forno de refusão <i>LPKF ProtoFlow</i>	42
4.16	Diagrama em blocos básico do projeto de um protótipo para filtragem digital.	43
4.17	PCI do módulo de filtragem digital de um repetidor de celular.	44
4.18	Esquema de uma PCA com componentes SMT no TOP e no Bottom e THT no TOP.	45
4.19	Fluxo de montagem e soldagem da PCI protótipo (componentes SMT no Top e no Bottom e THT no Top).	45
4.20	Stencil de folha de polímero para a aplicação da pasta de solda no lado Top da PCI protótipo.	46
4.21	Página exemplar da folha de Processos da PCI protótipo.	47
4.22	Perfil térmico de solda por refusão do PCI protótipo.	48
4.23	Placa protótipo final.	48
4.24	Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema sem <i>Upsampling</i> : (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.	49
4.25	Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema 1 - <i>Upsampling</i> seguido de filtragem: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.	50

4.26 Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema 2 - filtragem seguido de <i>Upsampling</i> : (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.	51
A.1 PCI composta de componentes THT e SMT.	56
A.2 Principais tecnologias de componentes eletrônicos: (a) Componentes THT. (b) Componentes SMT.	56
A.3 Fluxo para soldagem manual e por onda.	59
A.4 Fluxo para soldagem manual e por onda.	60
A.5 Diferentes tipos de solda aplicadas na industria de montagem de placas eletrônicas: (a) Solda em fio. (b) Solda em barra. (c) Solda em pasta.	61
A.6 Tipos de stencil aplicados na industria de placas eletrônicas. (a) Stencil de aço preparado a laser.(b) Stencil de folha de polímero.	61
A.7 Esquema do processo de aplicação da pasta de solda por stencil.	62
A.8 Máquina de solda por onda. (a) Esquema básico de uma máquina de solda por onda. (b) Máquina de solda por onda. (c) Destaque de estação de solda. . . .	63
A.9 Exemplos de forno de refusão. (a) Forno de refusão. (b) Exemplo de zonas de aquecimento e resfriamento.	65
A.10 Gráfico típico de perfil térmico de solda por refusão.	66
A.11 Kit traçador de Perfil térmico. (a) Traçador de perfil térmico. (b) Termopares.	69
A.12 Exemplo de acoplamento de termopar num componente BGA.	70
A.13 Esquema de uma PCA com componentes THT no Top.	71
A.14 Fluxo de montagem e soldagem de uma PCA com componentes THT no Top.	71
A.15 Esquema de uma PCA com componentes SMT no Top.	72
A.16 Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top.	72
A.17 Esquema de uma PCA com componentes SMT no Top e Bottom.	72
A.18 Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e no Bottom.	73
A.19 Esquema de uma PCA com componentes SMT e THT no Top.	73
A.20 Fluxo de montagem e soldagem de uma PCA com componentes SMT e THT no Top.	74

A.21 Esquema de uma PCA com componentes THT no TOP e SMT no Bottom. . .	74
A.22 Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e THT no Bottom.	74
A.23 Esquema de uma PCA com componentes SMT no TOP e no Bottom e THT no TOP.	75
A.24 Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e no Bottom e THT no Top.	75
A.25 Exemplo de folha de processos de uma PCI.	77

Lista de Tabelas

3.1	Valores da frequência de amostragem calculados para um sinal com $f_p = 70$ e $B = 25$ MHz.	23
3.2	Requisitos do projeto dos filtros FIR para os Sistemas 1 e 2	26
3.3	Parâmetros do <i>FDA Tools</i> para o projetos dos filtros para os Sistemas 1 e 2.	27
3.4	Parâmetros configurados na ferramenta <i>FIR Compiler</i> para implementação dos filtros para os Sistemas 1 e 2.	27
4.1	Consumo de hardware do FPGA para os três sistemas.	34
4.2	Comparação das médias da distorção espectral dos três sistemas de filtragem e reconstrução de sinais em FI.	35
4.3	Perfil de refusão da PCI protótipo.	46
4.4	Comparação das médias da distorção espectral dos três sistemas de filtragem e reconstrução de sinais em FI.	52

Glossário

BGA	-	<i>Ball Grid Array</i>
DFM	-	<i>Design For Manufacturing</i>
ERB	-	<i>Estação de Rádio Base</i>
FI	-	<i>Frequência Intermediária</i>
FIR	-	<i>Finite Impulse Response</i>
FPGA	-	<i>Field Programmable Gate Array</i>
GSM	-	<i>Global System for Mobile Communications</i>
HDL	-	<i>Hardware Description Language</i>
LNA	-	<i>Low Noise Amplifier</i>
OSC	-	<i>Oscilador Local</i>
PCA	-	<i>Printed Circuit Assembly</i>
PCI	-	<i>Placa de Circuito Impresso</i>
PDS	-	<i>Processamento Digital de Sinais</i>
PLL	-	<i>Phase Locked Loop</i>
RF	-	<i>Radio Frequência</i>
SAW	-	<i>Surface Acoustic Wave</i>
SMT	-	<i>Surface Mount Technology</i>
TAL	-	<i>Time Above Liquidous</i>
THT	-	<i>Through Hole Technology</i>
ZOH	-	<i>Zero-Order Hold</i>

Capítulo 1

Introdução

1.1 Tema e proposta do trabalho

Sistemas sem fio são muito importantes nos sistemas de comunicação modernos. A tecnologia de rádio está evoluindo rapidamente para lidar com novas exigências. Software e rádio cognitivo são bons exemplos de novas aplicações [1]. Ambos partilham a intenção de digitalizar o sinal o mais no início possível do processo, de preferência logo após a antena. No entanto, existem várias dificuldades para atingir esse objetivo, especialmente porque as frequências de rádio ou *Radio Frequency* (RF) podem ser da ordem de Gigahertz (GHz). A amostragem de tais sinais se torna impraticável devido às limitações em termos de taxas de amostragem dos conversores A/D (conversor de analógico para digital) existentes hoje no mercado. Portanto, sinais em RF devem ser transladados para uma frequência intermediária (FI) [2] para depois serem processados. O processo de translação é realizado através da “mistura” do sinal em RF com um sinal do oscilador local num processo chamado heteródino. Tipicamente a FI pode variar entre 10 – 100 Megahertz (MHz).

O presente trabalho descreve resultados focados na filtragem digital e reconstrução de sinais modulados em frequência intermediária. O trabalho tem por objetivo explorar a definição de um sistema para filtragem digital e reconstrução de sinais em FI usando FPGA em experimentos de processamento digital de sinais.

Em mais detalhes, a reconstrução de sinais analógicos através de suas amostras é normalmente realizada por um conversor D/A (conversor de digital para analógico). O processo de reconstrução corresponde a uma filtragem passa-baixas do sinal, resultante do processo de manter ou interpolar amostras do sinal por um período de T segundos. Tal natureza passa-baixas do conversor D/A, dificulta a reconstrução de sinais em FI devido às

distorções e atenuações que esta introduz no sinal de interesse.

Em muitas aplicações, a reconstrução de sinais em FI é realizada através do processo de translação em frequência [3], onde um sinal banda-base é transladado para a FI. Estes sistemas incorporam tipicamente dispositivos osciladores responsáveis pela geração da portadora necessária para a translação do sinal para uma FI qualquer.

Neste trabalho, um sistema para filtragem e reconstrução de sinais em FI usando apenas técnicas de processamento digital de sinais, mais especificamente reamostragem no domínio discreto, é apresentado. Dois sistemas de filtragem e reconstrução de sinais em FI são introduzidos e comparados quanto a vantagens e desvantagens. Foi realizada uma revisão bibliográfica profunda sobre o tema e não foram encontrados artigos científicos comparando métodos para reconstrução, mas há patentes sobre o assunto [4, 5, 6], o que demonstra o interesse que o mesmo suscita.

O trabalho não se resume à teoria ou simulação, mas também incorpora a implementação. São apresentados resultados experimentais envolvendo filtragem e reconstrução de sinais em FI através de tais sistemas e, comparações em termos de desempenho são realizadas através do método da distorção espectral.

Por final, são apresentados resultados específicos do módulo desenvolvido de filtragem digital para repetidores de celular.

1.2 Organização do trabalho

O presente trabalho está organizado como segue.

No Capítulo 2 são introduzidos os conceitos de amostragem e reconstrução de sinais em frequência intermediária.

O Capítulo 3 aborda a filtragem digital de sinais em frequência intermediária usando FPGA, com ênfase no projeto de um filtro digital FIR para um repetidor digital de sistemas de celular.

No Capítulo 4 são apresentados os procedimentos e resultados experimentais na filtragem digital e reconstrução de sinais em FI e na prototipagem de um módulo de filtragem digital para repetidores digitais de sistemas de celular. Este capítulo também inclui a descrição das ferramentas usadas nos experimentos.

Em seguida, no Capítulo 5, são apresentados comentários conclusivos, bem como as sugestões para continuidade deste trabalho.

Por final no Apêndice A são apresentados conceitos sobre processos de montagem e soldagem de placas eletrônicas, com abordagem principalmente de conceitos básicos de soldagem por onda e refusão.

Capítulo 2

Amostragem e Reconstrução de Sinais em Frequência Intermediária

2.1 Introdução

Este capítulo aborda a amostragem e reconstrução de sinais em FI. Primeiramente são introduzidos conceitos básicos de amostragem de sinais banda-base e mais adiante é apresentada e discutida a teoria de amostragem de sinais banda-passante e uma fórmula de limites válidos de frequência de amostragem é apresentada. São apresentadas também questões práticas de amostragem e reconstrução de sinais, assim como alguns sistemas típicos empregados nas mesmas. Por final são introduzidos conceitos de uma técnica e também o desenvolvimento de um sistema para reconstrução de sinais em FI baseada em técnicas de processamento digital de sinais.

A amostragem é o processo de representar um sinal contínuo (analógico) por uma sequência de valores discretos [7].

O teorema de amostragem [8] afirma que um sinal deve ser amostrado com uma taxa maior que duas vezes a máxima frequência contida no sinal para evitar ambiguidades (*aliasing*) e preservar as informações contidas no sinal original, ou seja,

$$\Omega_s = \frac{2\pi}{T} > 2\Omega_N \quad (2.1)$$

onde Ω_s é a frequência de amostragem e Ω_N é a máxima frequência contida no sinal contínuo, ambas em rad/s.

A amostragem periódica de um sinal contínuo $x_c(t)$ pode ser realizada através do

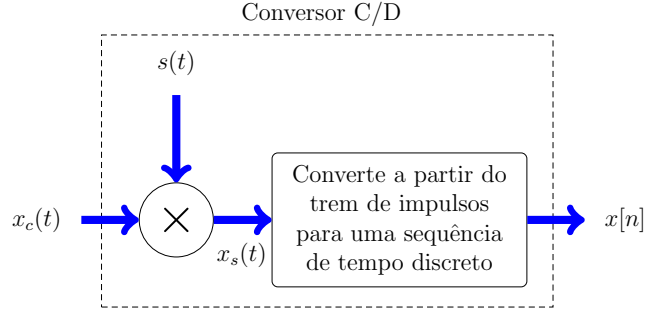


Figura 2.1: Diagrama em blocos de um conversor *contínuo/discreto* ideal.

conversor *contínuo / discreto*, cujo diagrama em blocos é apresentado na Figura 2.1, onde o processo de amostragem é realizado multiplicando-se o sinal $x_c(t)$ por um trem de impulso periódico $s(t)$ dado por

$$s(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT), \quad (2.2)$$

onde δ é o impulso unitário ou função delta Dirac. O sinal amostrado $x_s(t)$ pode então ser expressado como

$$x_s(t) = x_c(t)s(t) \quad (2.3)$$

$$= x_c(t) \sum_{n=-\infty}^{\infty} \delta(t - nT) \quad (2.4)$$

Aplicando a propriedade de deslocamento da função impulso, $x_s(t)$ pode ser expresso como

$$x_s(t) = \sum_{n=-\infty}^{\infty} x_c(nT)\delta(t - nT) \quad (2.5)$$

Em termos de transformada de Fourier, pode se expressar a Eq. 2.5 da seguinte forma:

$$X_s(j\Omega) = \frac{1}{2\pi} X_c(j\Omega) * S(j\Omega), \quad (2.6)$$

onde $X_s(j\Omega)$, $X_c(j\Omega)$ e $S(j\Omega)$ são respectivamente, as transformadas de Fourier de $x_s(t)$, $x_c(t)$ e $s(t)$, $*$ denota a operação de convolução. $S(j\Omega)$ é dada por

$$S(j\Omega) = \frac{2\pi}{T} \sum_{k=-\infty}^{\infty} \delta(\Omega - k\Omega_s). \quad (2.7)$$

Segue então que

$$X_s(j\Omega) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c(j\Omega - jk\Omega_s). \quad (2.8)$$

A transformada de Fourier do tempo discreto da sequência $x[n](X(e^{j\omega}))$, onde ω é a frequência discreta dada em radianos) na Figura 2.1 pode ser expresso em termos de $X_s(j\Omega)$ e $X_c(j\Omega)$ considerando a seguinte relação

$$X(e^{j\omega}) = X(j\Omega)|_{\Omega=\omega/T} = X(e^{j\Omega T}). \quad (2.9)$$

Consequentemente, das Eqs. 2.8 e 2.9, tem-se

$$X(e^{j\omega}) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c\left(j\frac{\omega}{T} - j\frac{2\pi k}{T}\right). \quad (2.10)$$

Pode ser observado das Eqs. 2.8-2.10 que, $X(e^{j\omega})$ é uma versão escalada em frequência de $X(j\Omega)$ com o fator de escala dado por $\omega = \Omega T$. Esta escala implica que $\Omega = \Omega_s$ corresponde a $\omega = 2\pi$.

A periodicidade de $X(e^{j\omega})$ manifesta-se como uma repetição do espectro de $X_c(j\Omega)$ com período $\omega = 2\pi$. Pode ser observado que $e^{j\omega} = e^{j(\omega+2\pi)}$, ou seja, para todos os sinais discretos no tempo, $X(e^{j\omega})$ é periódico em 2π .

Na maioria das vezes, $X_c(j\Omega)$ é um sinal banda base, ou seja, o seu espectro situa-se em torno de zero ou próximo de zero no eixo da frequência. Para sinais desta natureza, o objetivo principal é eliminar o aliasing [8] e ter a possibilidade de recuperar o $X_c(j\Omega)$ através de uma filtragem passa-baixas após converter $X(e^{j\omega})$ para o domínio do tempo contínuo.

2.2 Amostragem de sinais banda-passante

Quando se trata de amostrar sinais banda-passante (ou passa-banda) pode-se usar a técnica *amostragem banda-passante (bandpass sampling)*, também conhecida como *sub-amostragem (undersampling)* ou *amostragem FI* [7]. Os sinais banda-passante têm espectros centrados em uma frequência maior que zero e tipicamente bem maior do que a largura de banda do sinal. A técnica supracitada permite amostrar sinais banda-passante com taxas abaixo da taxa de Nyquist, desde que esta taxa seja duas vezes maior que a largura de banda Ω_B do sinal ($\Omega_s > 2\Omega_B$) e os seus espectros não devem cruzar inteiros múltiplos de Ω_s (2π em termos de ω). Em muitas aplicações esta técnica reduz a demanda requerida de um conversor A/D.

Para ilustrar a técnica de subamostragem, considere um sinal contínuo banda-passante com largura de banda Ω_B , centrado na frequência intermediária Ω_p (frequência portadora) e cujo espectro é mostrado na Figura 2.2(a). Nota-se que a discussão a seguir usa Ω e a

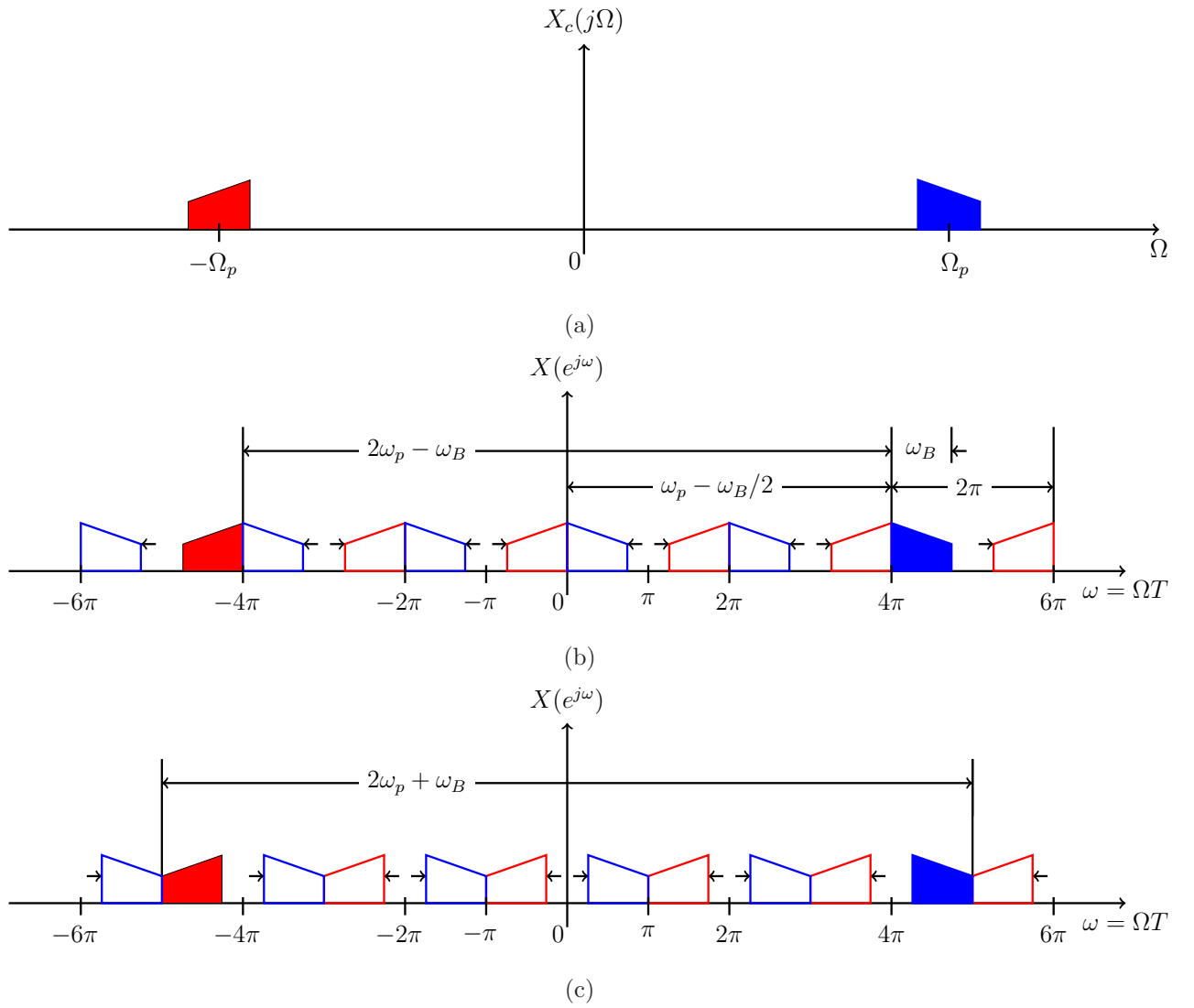


Figura 2.2: Limites de frequência de amostragem para sinais passa-banda. (a) limite inferior Ω'_s (b) limite superior $\Omega''_s < \Omega'_s$.

figura adota ω pois o sinal foi tornado discreto no tempo, mas ambos podem ser vistos como equivalentes para o fim da presente discussão pois, como informado, há apenas o fator de escala T em $\omega = \Omega T$. Considere que este sinal é amostrado com uma taxa Ω'_s qualquer, de tal forma que no domínio discreto as réplicas se tocam exatamente em zero e em frequências múltiplas de 2π , como mostra a Figura 2.2(b). Ainda na mesma Figura observa-se que no intervalo de $2\Omega_p - \Omega_B$ existe um número de m réplicas distanciadas de Ω'_s , ou seja [7],

$$m \Omega'_s = 2\Omega_p - \Omega_B \quad \text{ou} \quad \Omega_s = \frac{2\Omega_p - \Omega_B}{m} \quad (2.11)$$

onde m pode ser um número inteiro qualquer maior que zero desde que $\Omega_s > 2\Omega_B$ [7].

Um aumento na Ω'_s resulta no deslocamento na frequência de todas as réplicas, exceto o espectro original (Figura 2.2(b)). Estas réplicas se sobrepõem e ocorrerá o *aliasing*. Portanto, para um determinado m existe uma taxa de amostragem a qual Ω_s não deve ser maior [7], ou seja, da Eq. 2.11 tem-se que

$$\Omega'_s \leq \frac{2\Omega_p - \Omega_B}{m}. \quad (2.12)$$

Por outro lado, existe uma taxa de amostragem Ω''_s ($\Omega''_s < \Omega'_s$) em que as réplicas se sobrepõem exatamente em $n\pi$ (Figura 2.2(c)), onde n é um número ímpar maior que zero. Nesta condição, observa-se que no intervalo $2\Omega_p + \Omega_B$ existe um número de $m + 1$ réplicas distanciadas de Ω''_s , ou seja,

$$(m + 1)\Omega''_s = 2\Omega_p + \Omega_B \quad \text{ou} \quad \Omega''_s = \frac{2\Omega_p + \Omega_B}{m + 1}. \quad (2.13)$$

Se a taxa de amostragem for reduzida abaixo de Ω''_s todas as réplicas serão deslocadas na frequência (só que agora na direção contrária), exceto o espectro original (Figura 2.2(c)) e ocorrerá o *aliasing*.

Portanto, para um determinado $m + 1$ réplicas existe uma taxa de amostragem a qual Ω''_s deve sempre exceder [7], ou seja, da Eq. 2.13 tem-se que

$$\Omega''_s \geq \frac{2\Omega_p + \Omega_B}{m + 1}. \quad (2.14)$$

Combinando as Eqs. 2.12 e 2.14, a taxa de amostragem Ω_s pode ser escolhida em qualquer ponto no intervalo de Ω'_s a Ω''_s para evitar o *aliasing*, ou seja,

$$\frac{2\Omega_p - \Omega_B}{m} \geq \Omega_s \geq \frac{2\Omega_p + \Omega_B}{m + 1}, \quad (2.15)$$

onde m pode ser um número inteiro qualquer maior que zero desde que $\Omega'_s > 2\Omega_B$ [7].

Existem alguns aspectos a considerar na escolha da frequência de amostragem:

1. Valores ímpares de m resultam em inversão espectral (quando a réplica do espectro tem uma inversão em relação ao eixo das ordenadas, se comparada ao espectro original).

2. Os valores de Ω_s calculados pela Eq. 2.15, resultam em zero banda de guarda (espaço entre duas réplicas adjacentes). Ou seja, esses valores devem ser vistos como limites e tipicamente não são usados na prática.

A inversão espectral pode ser removida multiplicando-se o sinal discreto por uma sequência alternada de 1's e -1's (1, -1, 1, -1, etc.), o que equivale a multiplicar o sinal por um *coseno* com frequência igual a $\Omega_s/2$ [7]. A multiplicação resulta em uma transladação na frequência onde as réplicas positivas são deslocadas de $-\Omega_s/2$ e as negativas de $\Omega_s/2$.

A afirmação de que a taxa de amostragem pode ser escolhida em qualquer ponto entre os limites dados pela Eq. 2.15 tem suas implicações na prática. Por exemplo, quanto mais próxima a frequência de amostragem escolhida for dos valores calculados na Eq. 2.15, menor será a banda de guarda e consequentemente, mais curtas terão que ser as bandas de transição do filtro passa-banda analógico para recuperar o sinal sem *aliasing*. Ainda, questões como instabilidade no gerador de *clock* e imperfeições nos circuitos dos conversores A/D impossibilitam que se atinja o caso ideal de amostragem, o que poderá provocar *aliasing*. Portanto, a frequência de amostragem deve ser escolhida como um valor intermediário entre os valores calculados pela Eq. 2.15 para garantir maior banda de guarda, maior tolerância na estabilidade e precisão do gerador de *clock* do conversor A/D e o uso de um filtro passa-banda com transição mais suave [7].

2.3 Reconstrução de sinais em FI

O teorema de amostragem afirma que se um sinal de banda-limitada for amostrado com uma taxa alta o suficiente de forma que não ocorra sobreposição do espectro no domínio da frequência (*aliasing*), então, este sinal poderá ser reconstruído através de suas amostras e do conhecimento da frequência de amostragem [9].

Na prática, a reconstrução de sinais contínuos através de suas amostras é realizada por um dispositivo conhecido como Conversor D/A (*Conversor de Digital para Analógico*) seguido de filtragem passa-baixas que elimina as imagens centradas em frequências múltiplas de Ω_s .

A reconstrução de sinais em FI pode ser melhor entendida analisando primeiramente a reconstrução de um sinal banda-base (sinais cujos espectros se estendem de ou próximo a 0 Hz até uma frequência máxima).

Como exemplo, considere o esquema típico e simplificado de um sistema de processamento digital de sinais contínuos apresentado na Figura 2.3.

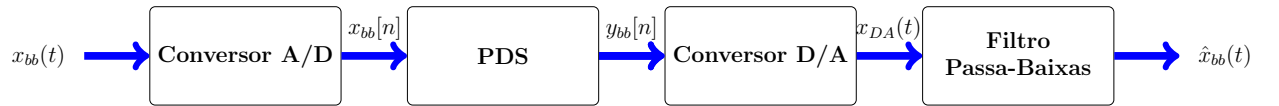


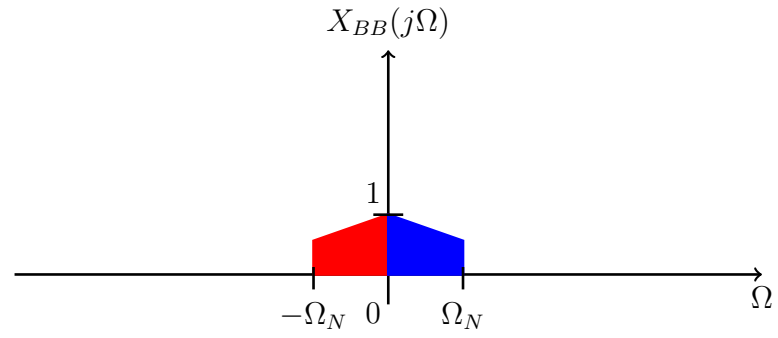
Figura 2.3: Esquema típico de processamento digital e reconstrução de sinais banda-base.

A transformada de Fourier do sinal de entrada $x_{bb}(t)$ na Figura 2.3 é apresentada na Figura 2.4(a). Suponha que este sinal é amostrado por um conversor A/D e que o sinal resultante ($x_{bb}[n]$) é submetido a um processamento digital. O sinal resultante ($y_{bb}[n]$) é enviado ao conversor D/A que gera o sinal contínuo $x_{DA}(t)$. Este sinal é então filtrado por um filtro passa-baixas para eliminar as imagens centradas em frequências múltiplas de Ω_s e tentar recuperar o sinal original $x_{bb}(t)$.

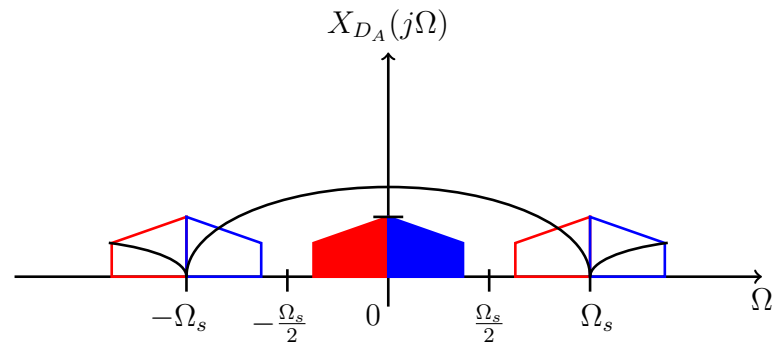
O diagrama em blocos simplificado de um Conversor D/A é apresentado na Figura 2.5. Primeiramente, a sequência de amostras discretas de $x[n]$ é convertida em uma sequência de impulsos (igualmente espaçados por T segundos) e depois cada uma das amostras é preservada por um período de T segundos pelo *Zero-order hold* (ZOH).

Tomando como base a Figura 2.3, matematicamente o sinal na saída do conversor D/A é dado por:

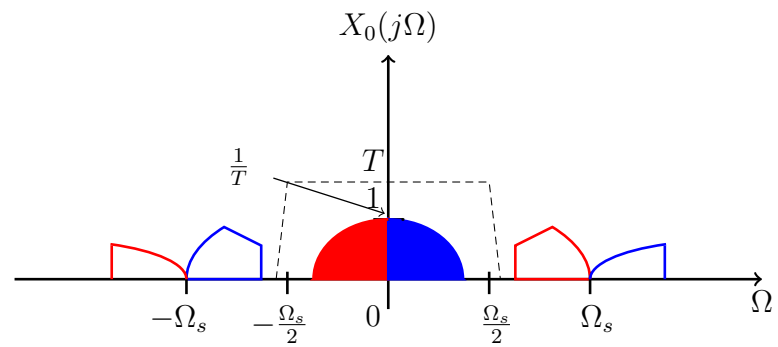
$$x_{DA}(t) = \sum_{n=0}^{\infty} y_{bb}[n] h_0(t - nT), \quad (2.16)$$



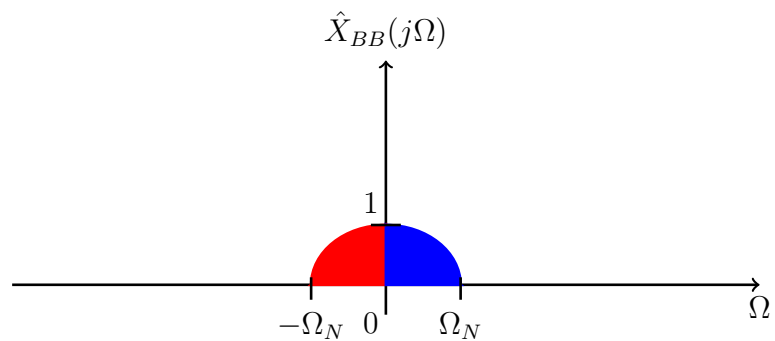
(a)



(b)



(c)



(d)

Figura 2.4: Reconstrução de um sinal banda-base. (a) Resposta em frequência de um sinal analógico em banda-base. (b) Versão amostrada do sinal sobreposta com o módulo da resposta em frequência do filtro *ZOH*. (c) Ilustração da filtragem passa-baixas do sinal. (d) Versão reconstruída do sinal.

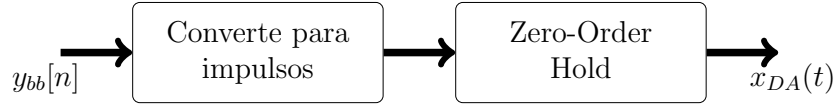


Figura 2.5: Diagrama em blocos simplificado de um Conversor D/A.

onde

$$h_0(t) = \begin{cases} 1, & 0 < t < T \\ 0, & \text{outros valores} \end{cases}$$

é a resposta ao impulso do *Zero-order hold* (Figura 2.6(a)).

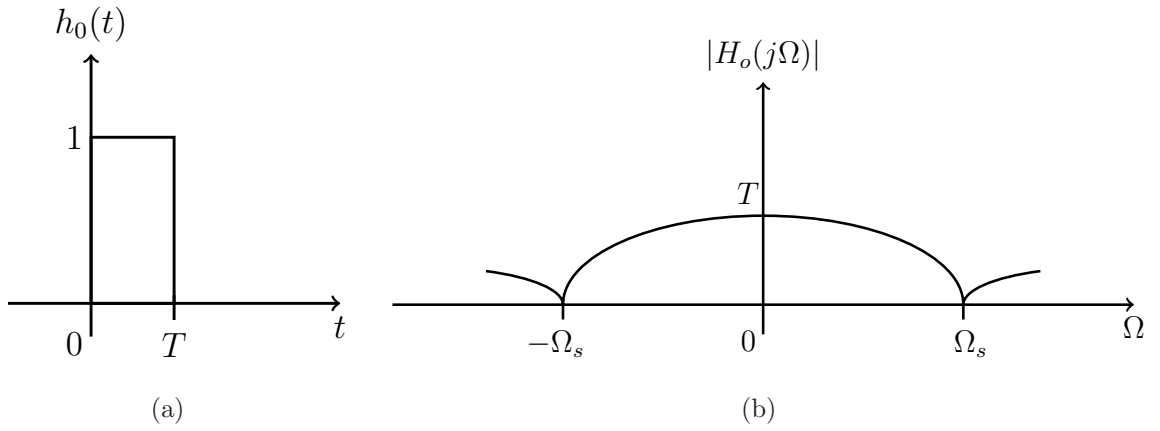


Figura 2.6: Filtro *Zero-order hold*. (a) Resposta ao impulso ($h_0(t)$). (b) Módulo da resposta em frequência ($|H_o(jΩ)|$).

A transformada de Fourier da Eq. 2.16 é dada por:

$$X_{DA}(jΩ) = Y_{BB}(e^{jΩT})H_o(jΩ) \quad (2.17)$$

onde $Y_{BB}(e^{jΩT})$ é a transformada de Fourier do tempo discreto da sequência de amostras de $y_{bb}[n]$ e $H_o(jΩ)$ é a transformada de Fourier do filtro *Zero-order hold*.

Portanto, se

$$Y_{BB}(e^{jΩT}) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_{BB}(jΩ + \frac{j2\pi k}{T}) \quad (2.18)$$

então, segue que

$$X_{DA}(jΩ) = \left[\frac{1}{T} \sum_{k=-\infty}^{\infty} X_{BB}(jΩ + \frac{j2\pi k}{T}) \right] H_o(jΩ). \quad (2.19)$$

A resposta em frequência do filtro *Zero-order hold* é dada por [9]:

$$H_o(jΩ) = \frac{2 \sin(ΩT/2)}{Ω} e^{-jΩT/2}. \quad (2.20)$$

A Figura 2.6(b) mostra $|H_0(j\Omega)|$ dada na Eq. 2.20. Pode ser observado que o *ZOH* é essencialmente um filtro passa baixas com o primeiro zero em Ω_s .

Na Figura 2.4(b) o $|H_0(j\Omega)|$ é sobreposto ao $Y_{BB}(e^{j\omega})$ para efeito de exemplificação. O sinal resultante, ou seja, o sinal na saída do conversor D/A é apresentado na Figura 2.4(c). Pode ser observado que o *ZOH* introduz duas principais formas de modificação no sinal [9]:

1. A porção de $X_{DA}(j\Omega)$ contida no intervalo de $-\Omega_s$ a Ω_s é distorcida pela curvatura do lóbulo principal do *ZOH*.
2. As réplicas de $X_{DA}(j\Omega)$ em múltiplos não zeros de Ω_s são atenuadas e distorcidas pelos lóbulos secundários do *ZOH*.

O sinal na saída do conversor D/A é filtrado por um filtro passa-baixas com frequência de corte igual $\Omega_c = \frac{\Omega_s}{2}$ para recuperar o sinal $x_{bb}(t)$. O sinal reconstruído é mostrado na Figura 2.4(d).

Quando se trata de reconstrução de sinais em FI, o processo pode ser um pouco mais complicado devido à natureza passa-baixas do *ZOH*. Por exemplo, um dos métodos comumente usado em telecomunicações para reconstrução de sinais em FI é apresentado na forma de diagrama em blocos na Figura 2.7 [3]. O sistema é baseado na técnica de translação no eixo da frequência. O sistema é basicamente o mesmo que o usado para reconstrução de sinais banda-base, exceto pelo acréscimo dos blocos OSC (*Oscillator local*), PLL (*Phase Locked Loop*) e um bloco de multiplicação. Como exemplo de aplicação deste sistema, considere um sinal contínuo banda-passante centrado em uma FI qualquer (x_{FI}) e cuja transformada de Fourier ($X_{FI}(j\Omega)$) é apresentada na Figura 2.8(a). Após amostragem (Conversor A/D), processamento digital (PDS) e conversão do sinal de digital para analógico (Conversor D/A), o sinal resultante (com espectro X_{DA} (Figura 2.8(b))) é filtrado por um filtro passa-baixas para eliminar imagens indesejadas. O sinal na saída do filtro passa-baixas ($x_{bb}(t)$) (com espectro $X_{BB}(j\Omega)$ (Figura 2.8(c))) é multiplicado por uma portadora gerada pelo oscilador local, controlado pelo PLL e o qual é responsável pela translação do sinal $X_{BB}(j\Omega)$ da banda-base para uma frequência FI desejada. O sinal $\hat{X}_{FI}(j\Omega)$ pode ser recuperado através do sinal transladado, limitando este em banda por um filtro passa-banda. Tal efeito é ilustrado na Figura 2.8(d).

Nesta seção é apresentada uma técnica de reconstrução de sinais em FI baseada apenas em técnicas de processamento digital de sinais. A técnica não faz uso de componentes externos como osciladores, PLL's e outros tipos de circuitos relativamente sofisticados.

Como exemplo, considere o mesmo sinal do exemplo anterior, ou seja o sinal cuja transformada de Fourier é apresentada na Figura 2.8(a).

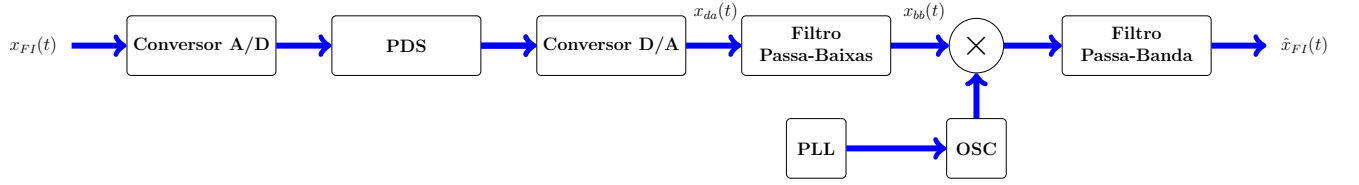


Figura 2.7: Diagrama em blocos de um esquema típico de reconstrução de sinais em FI por translação na frequência.

A transformada de Fourier do tempo discreto da versão amostrada deste sinal sobreposta com $|H_0(j\Omega)|$ é apresentada na Figura 2.9(a). O resultado do efeito de filtragem do *ZOH*, ou seja, o sinal na saída do conversor D/A (X_{DA}) é apresentado na Figura 2.9(b). Ainda na mesma Figura observa-se que o espectro do sinal de interesse sofre atenuação e distorção acentuada quando comparado com as réplicas contidas no intervalo de 0 a Ω_s (considerando apenas o eixo positivo da frequência). Portanto, segue que se a taxa de amostragem do conversor D/A e consequentemente, do sinal discreto for aumentada de tal forma que o espectro do sinal original esteja dentro do intervalo de 0 a um Ω'_s ($\Omega'_s > \Omega_s$) qualquer, as atenuações e distorções sofridas pelo espectro original poderão ser diminuídas.

A operação de aumentar a taxa de amostragem de um sinal discreto é chamada de *upsampling*. O processo de *upsampling* é realizado através de inserção de $L - 1$ zeros entre as amostras de uma sequência discreta, onde L é o fator de *upsampling*.

O efeito do *upsampling* no sinal e no módulo da resposta em frequência do *ZOH* (para $L = 2$) é apresentado na Figura 2.9(c). Pode ser observado que o *upsampling* produz um escalonamento de ωL na frequência, ou seja,

$$X(e^{j\omega}) \longrightarrow X(e^{j\omega L}). \quad (2.21)$$

Como resultado, as atenuações e distorções sofridas pelas réplicas centradas em FI diminuem significativamente, como mostra a Figura 2.9(d). Fica claro também que quanto maior o fator de *upsampling* melhor é o condicionamento do espectro original centrado em FI.

Quando se trata de definir sistemas para processos de filtragem e reconstrução de sinais em FI usando a técnica de reamostragem discreta, dois sistemas podem ser destacados. Estes são apresentados nos diagramas em blocos das Figuras 2.10(a) e 2.10(b).

No Sistema 1, o sinal proveniente do conversor A/D é reamostrado (*upsampling*) para igualar a taxa de amostragem do sinal à do filtro. O sinal resultante é então filtrado e depois enviado para o conversor D/A.

Já no Sistema 2, o sinal proveniente do conversor A/D é primeiramente filtrado, reamostrado (*upsampling*) e depois enviado para o conversor D/A.

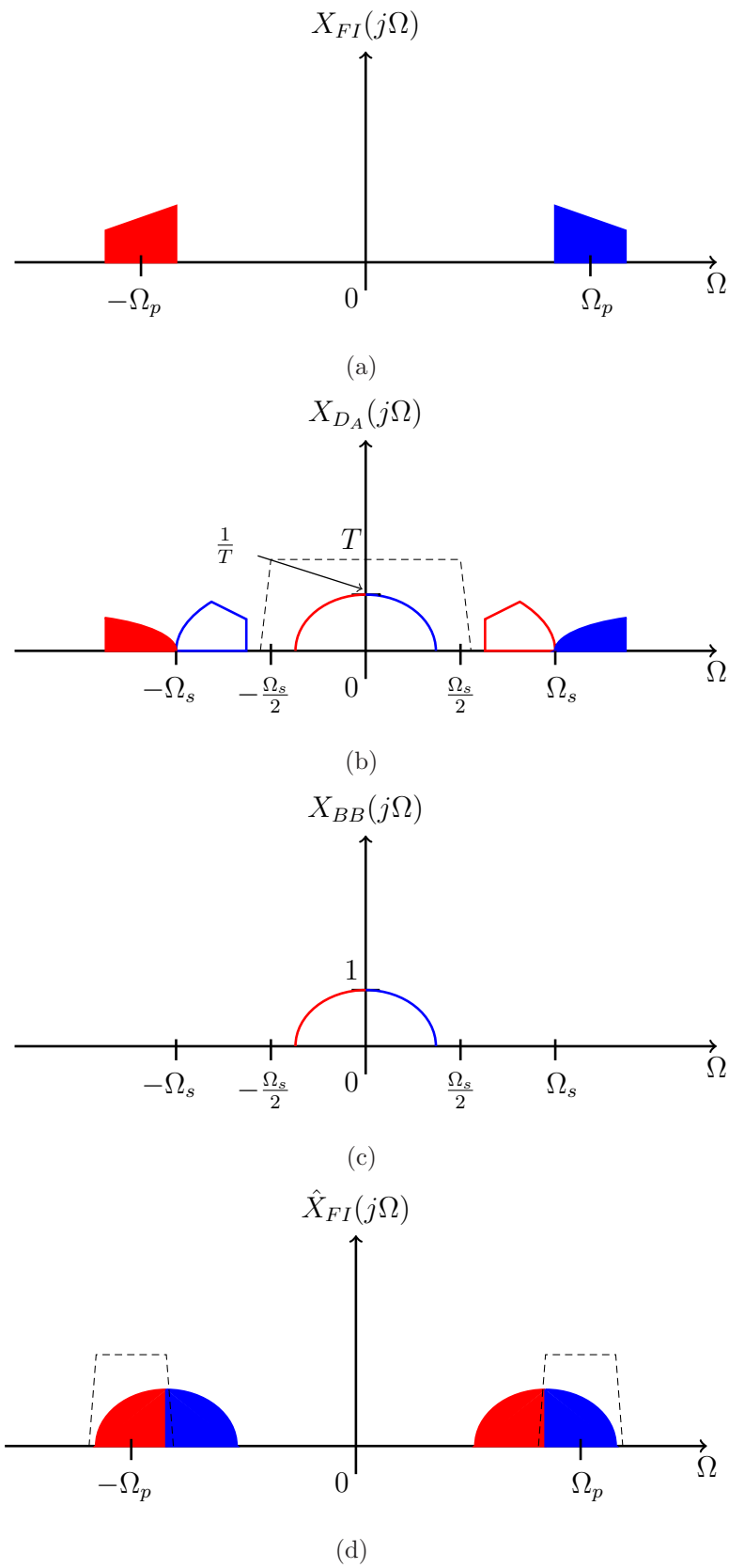


Figura 2.8: Reconstrução de sinais em FI pelo método de translação na frequência. (a) Sinal analógico em FI. (b) Sinal na saída do conversor D/A. (c) Sinal reconstruído em banda-base. (d) Sinal transladada da banda-base para a FI correspondente.

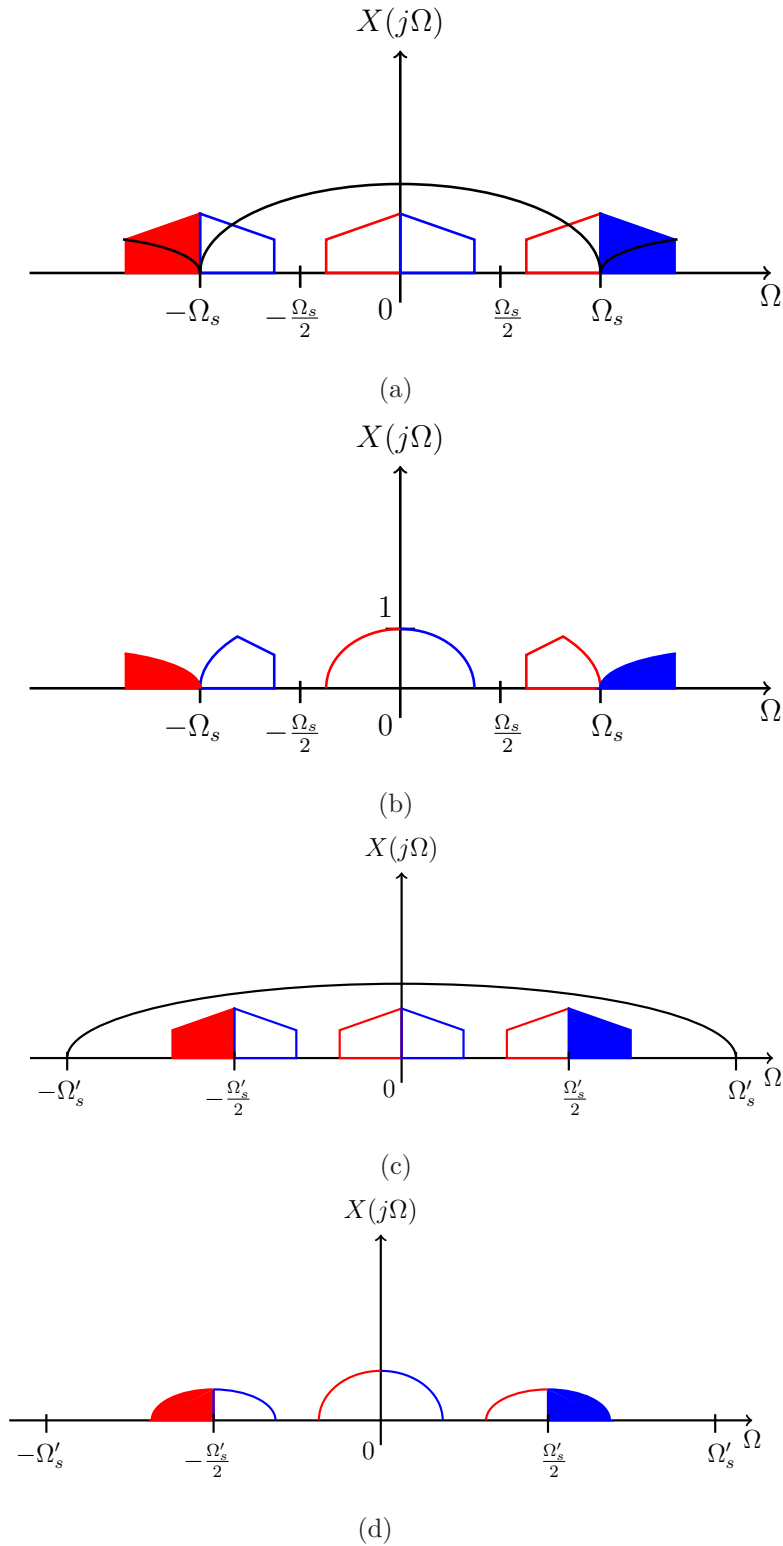


Figura 2.9: Reconstrução de sinais em FI pelo método de reamostragem discreta. (a) Ilustração do sinal na saída do conversor D/A sem *upsampling*. (b) Sinal na saída do conversor D/A (sem *upsampling*). (c) Efeito do *upsampling* no sinal $X(j\Omega)$ e no $|H_0(j\Omega)|$ (para $L = 2$). (d) Saída do conversor D/A após o processo de *upsampling*.

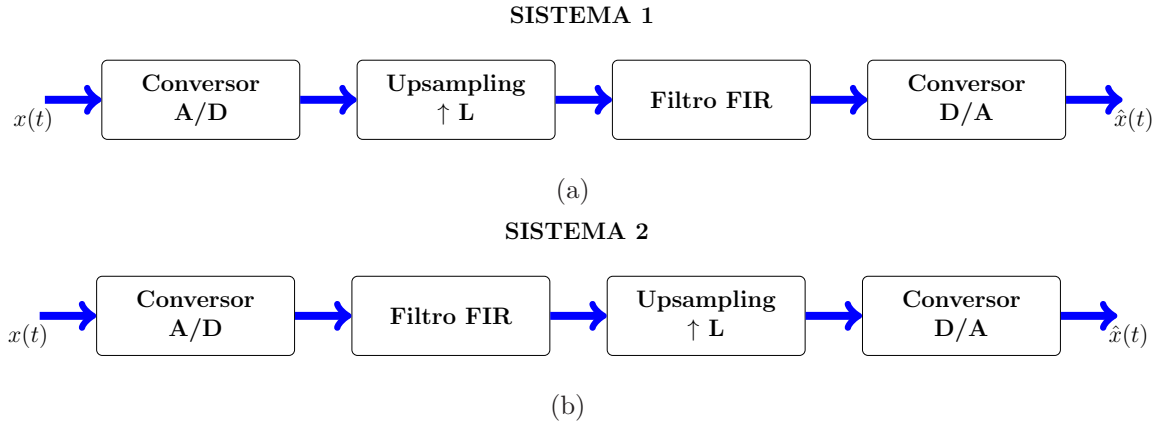


Figura 2.10: Sistemas para filtragem e reconstrução de sinais em FI pelo método de reamostragem discreta: (a) Sistema 1 -*upsampling* seguido de filtragem. (b) Sistema 2 - filtragem seguido de *upsampling*.

Em termos de filtragem do sinal (considerando o espectro original) os dois sistemas são idealmente equivalentes, porém, o projeto do filtro do Sistema 1 requer no mínimo o dobro da taxa de amostragem que o do filtro do Sistema 2. Vale salientar porém que a ordem do filtro aumenta proporcionalmente com o aumento da taxa de amostragem, ou seja, para certos métodos de projeto de filtro FIR, como *generalized equiripple* por exemplo, a ordem dobra quando a frequência de amostragem dobra. Por outro lado, quanto mais alta a ordem do filtro maior o número de amostras e coeficientes a serem multiplicados e maior é o processamento, recursos de hardware do FPGA.

A seguir discute-se brevemente uma figura de mérito que pode ser usada para comparar os filtros implementados com o filtro ideal.

2.4 Distorção Espectral

A distorção espectral, também chamada de Distância-Espectral-Logarítmica é uma distância medida entre dois espectros [10, 11]. A média da distorção espectral entre dois espectros $P_1(\omega)$ e $P_2(\omega)$ é dada por:

$$MDE = \sqrt{\frac{1}{2\pi} \int_{-\pi}^{\pi} |\log(P_1(\omega)) - \log(P_2(\omega))|^2 d\omega} \quad (2.22)$$

O método da distorção espectral é uma ferramenta bastante útil para realizar comparações entre dois espectros. Este método pode ser empregado na análise do desempenho em termos da qualidade de reconstrução de sinais em FI dos sistemas 1 e 2 apresentados na

Seção 2.3.

2.5 Conclusão

No presente capítulo foram abordados conceitos básicos de amostragem e reconstrução de sinais aplicados a sinais centrados em uma frequência intermediária qualquer. Dois sistemas de filtragem e reconstrução de sinais em FI baseados em técnicas de processamento de sinais foram apresentados e suas vantagens e desvantagens apontadas e discutidas.

Por final é apresentada a distorção espectral, figura de mérito que pode ser empregada na análise da qualidade da reconstrução de um sinal centrado em FI.

No capítulo que se segue são apresentados a discussão e projeto de filtros FIR para repetidores de celular usando os Sistemas 1 e 2 descritos neste capítulo. Os conceitos de amostragem banda-passante e de reconstrução de sinais em FI aqui discutidos são aplicados no projeto e implementação de filtros FIR.

Capítulo 3

Filtragem Digital de Sinais em Frequência Intermediária usando FPGA

3.1 Introdução

Este capítulo discute o projeto e implementação de um filtro FIR (*Finite Impulse Response*) para repetidores de celular.

Os filtros digitais têm sido geralmente implementados usando chips DSP (*Digital signal processor*). DSP's são especializados em realizar processamento digital de sinais [12] e podem ser programados na linguagem C, por exemplo. A arquitetura de hardware fixa de um DSP pode ser um gargalo para a implementação de sistemas que requerem operações personalizadas e paralelas.

Nos últimos anos, FPGA's (*Field Programmable Gate Arrays*) se tornaram uma solução atraente para implementar sistemas de processamento digital de sinais [13].

Dispositivos FPGA consistem em elementos lógicos (LEs) e memória que podem ser configurados para operar em modos diferentes. FPGA's provêm uma arquitetura reconfigurável, programado via hardware e pode alcançar um alto *throughput* (medida da quantidade de dados transferida de um lugar a outro ou dentro de um determinado tempo). Esta flexibilidade é a principal vantagem do FPGA em relação aos chips DSP's [14]. Por outro lado, pode ser mais difícil mapear aplicações em FPGA do que em chips DSP. Por exemplo, quando uma linguagem de descrição de hardware (HDL) é exigida para programar

o FPGA, a tarefa é tipicamente considerada mais difícil que programar um DSP em C. Para reduzir esta desvantagem, fabricantes de FPGA desenvolveram recentemente ferramentas de desenvolvimento como o *DSP Builder* da Altera, para programar o FPGA através de um fluxo de software que não requer aprendizagem da HDL.

Filtragem digital em FI pode se beneficiar do paralelismo e taxas de amostragem altas que um FPGA pode prover. Trabalhos prévios mostraram a implementação de filtros digitais em FPGAs [15, 16, 17, 18, 19, 20, 21]. Um dos aspectos da implementação de filtros digitais em FPGA é o “*trade off*” entre área e velocidade.

Existem várias técnicas sugeridas na literatura para a redução do hardware necessário para implementar filtros digitais. Por exemplo, em [17, 18, 21] uma estrutura *bit-serial* substitui uma estrutura *bit-parallel* para reduzir área. Em contraste, técnicas para melhorar o desempenho do filtro usando estrutura paralela, o qual fornece maiores taxas são sugeridas em [19, 20].

3.1.1 Repetidor digital de sistemas de celular

Repetidores são equipamentos normalmente usados por redes de celulares em áreas onde a propagação do sinal é pobre e/ou o tráfego é baixo e não há demanda suficiente para a instalação de uma estação de rádio base (ERB). Basicamente, a função de um repetidor de celular é de coletar o sinal de uma ERB, amplificar e redistribuir para a zona de pobre cobertura [22]. Da mesma forma que coleta os sinais dos aparelhos móveis na região, amplifica e os transmite conjuntamente em direção à ERB.

Alguns repetidores usam a chamada arquitetura *heterodina*, a qual é responsável por transladar o sinal de RF para FI. Em seguida, as bandas não desejadas são filtradas para eliminação. São usados dois moduladores com a mesma portadora, um para converter de RF para a faixa de FI e outro para reconverter a FI para RF (banda original). Um repetidor não deve amplificar bandas diferentes das predeterminadas, para evitar a amplificação de sinal de uma companhia oponente, por exemplo. Na prática, heterodinas permitem que a banda da frequência central da FI seja ajustável, mudando a frequência do oscilador local, simplificando a filtragem passa-banda, tipicamente realizada por um filtro SAW (*surface acoustic wave*) [23, 24]. Ou seja, o filtro SAW possui frequência central fixa, por exemplo em 70 MHz e é o oscilador da heterodina que permite variar a frequência RF a ser filtrada.

A Figura 3.1 [22] ilustra o esquema básico de um repetidor digital. O repetidor usa pelo menos duas antenas: uma conectada à estação base, a antena doadora e uma outra para retransmitir o sinal ou receber os sinais de telefones celulares na área de cobertura do

repetidor, a antena servidora. Como os canais são repetidos sem alterar suas frequências para prevenir instabilidades devido à pobre isolamento entre as antenas, os repetidores geralmente são equipados com um sistema de supervisionamento que reduz automaticamente o ganho quando uma isolamento pobre é detectada.

Os sinais enviados pela ERB (os mesmos que um aparelho móvel sintonizaria) são recebidos pelo repetidor através da antena doadora e em seguida entregues a um duplexador que separa as potências de transmissão e recepção pertencentes aos caminhos direto ou *downlink* e reverso ou *uplink*. O LNA (*Low Noise Amplifier*) recebe o sinal e o envia para um atenuador variável usado para ajustar o ganho total do repetidor. Depois disso, o sinal resultante passa pelo módulo heterodina que realiza a translação de RF para FI, através de uma portadora gerada por um oscilador local controlada via um circuito PLL (*phase locked loop*).

O sinal em FI é digitalizado, filtrado e o sinal resultante convertido de volta para analógico. Depois da conversão, usando a mesma portadora do modulador anterior um outro é aplicado de modo a transladar o sinal de volta para RF. Finalmente, o sinal é amplificado de novo para alcançar a potência desejada, limitada em banda pelo filtro SAW e retransmitido para a área de cobertura pobre através da antena servidora.

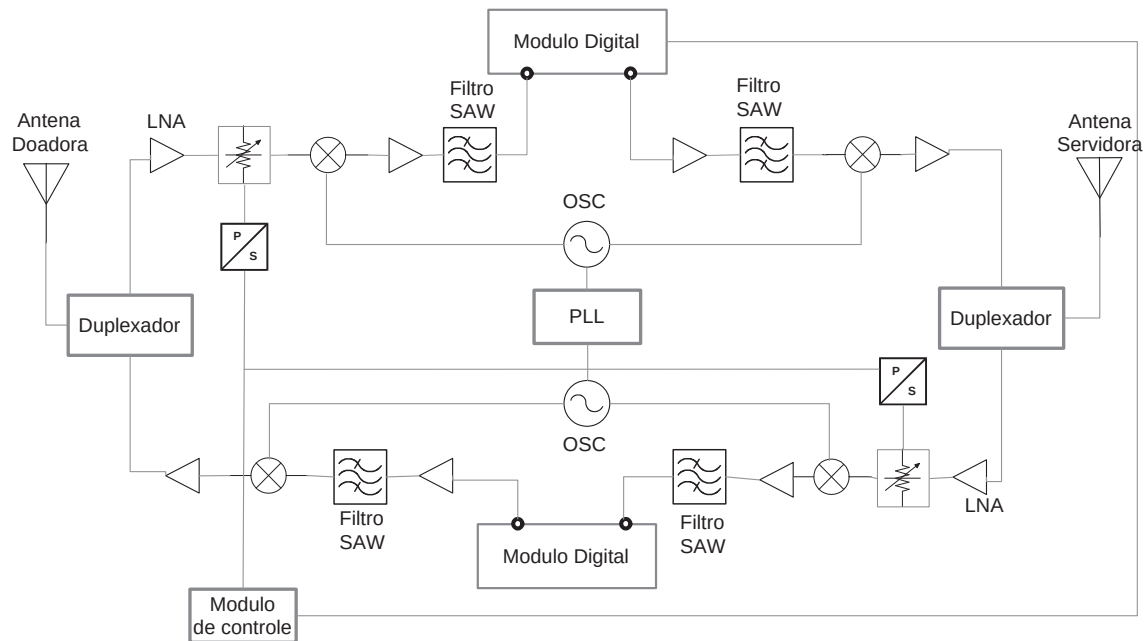


Figura 3.1: Diagrama em blocos de um repetidor de sistemas de celular.

3.2 Projeto de um filtro digital para repetidores de sistemas de celular usando FPGA

Como exemplo de implementação, considere um sinal GSM cujo espectro foi centrado em uma FI de 70 MHz e que tem largura de banda de 25 MHz (Figura 3.2(a)). Considere ainda que este sinal é dividido em 5 bandas de frequência, denominadas respectivamente, por banda A, B, C, D, e E (Figura(3.2(b))).

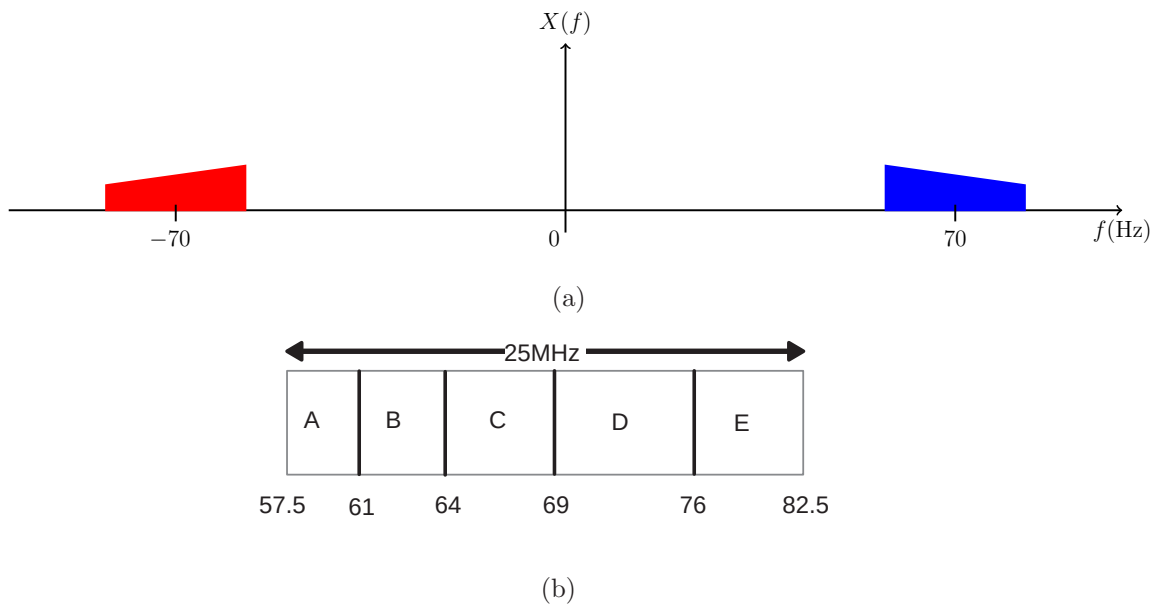


Figura 3.2: Exemplo do espectro de um sinal GSM separado em 5 bandas de frequência. (a) Espectro do sinal. (b) Ilustração das bandas no domínio da frequência.

A proposta é projetar um filtro FIR multibanda usando FPGA para filtrar as bandas indesejadas (B, C e D) e transmitir as bandas de interesse (A, D e E). A mesma metodologia poderá ser empregada para filtrar outras combinações de bandas.

3.2.1 Determinação da taxa de amostragem

A amostragem do sinal $X(f)$ na Figura 3.2(a) com a taxa de Nyquist requer um conversor A/D com pelo menos 165 MHz (2×82.5 MHz) de taxa de amostragem para evitar o *aliasing*. Por outro lado, o respectivo sinal pode ser amostrado empregando-se a técnica de subamostragem apresentada na Seção 2.2, que garante taxas de amostragem mais baixas a custo de bandas de guarda menores.

Da Eq. 2.15 apresentada na Seção 2.2, tem-se na Tabela 3.1 os valores calculados da taxa de amostragem para diferentes valores de m para o sinal $X(f)$.

Tabela 3.1: Valores da frequência de amostragem calculados para um sinal com $f_p = 70$ e $B = 25$ MHz.

m	$(2f_p - B)/m$	$(2f_p + B)/(m + 1)$	Validade
1	115	82.5	Válido
2	55	57.5	Válido
3	38.3	41.25	Inválido: $f_s < 2B$

Como pode ser observado na Tabela 3.1, os valores válidos de f_s correspondem a $m = 1$ e $m = 2$. Para $m = 3$, $f_s < 2B$, portanto esta taxa de amostragem não é válida.

Para $m = 1$, os valores de f_s escolhidos dentro dos valores válidos resultam em maior banda de guarda (espaço entre as réplicas) mas, por outro lado, resultam em taxas de amostragem mais altas e também em inversão espectral, sendo que este último pode ser removido a custo de mais hardware e processamento, como explicado na Seção 2.2.

Para $m = 2$, os valores de f_s escolhidos dentro dos valores válidos, resultam em taxas de amostragem menores e sem inversão espectral mas, por outro lado, em menor banda de guarda.

Como já discutido na Seção 2.2, a frequência de amostragem mais apropriada é aquela resultante do valor intermediário entre os valores válidos. Portanto, com o objetivo de garantir menor processamento de dados e menores recursos de hardware, escolheu-se o valor de taxa de amostragem de 56 MHz, aproximadamente o valor intermediário entre as frequências 55 e 57.5 MHz. Este valor requer um conversor A/D mais lento e conseqüentemente menos custoso ao custo de banda de guarda de 3 MHz, o que exige um filtro de reconstrução mais seletivo (*sharp*).

O sinal $X_d(f)$, versão amostrada de $X(f)$, é apresentado na Figura 3.3. Pode ser observado que o processo de amostragem resulta em réplicas centradas em 14 e 42 MHz. A centrada em 14 MHz tem a mesma orientação que o espectro original, enquanto que a centrada em 42 MHz, tem orientação contrária (espelhada).

3.2.2 Projeto e implementação do filtro digital

Como foi dito anteriormente, a filtragem e reconstrução de sinais em FI podem ser realizadas através de um dos dois sistemas apresentados na Seção 2.3, reproduzidos aqui

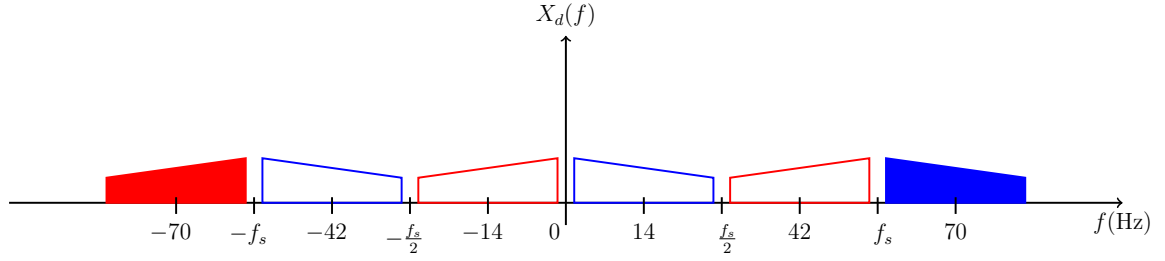


Figura 3.3: Versão amostrada do sinal $X(f)$ ($X_d(f)$).

(Figura 3.4) por conveniência.

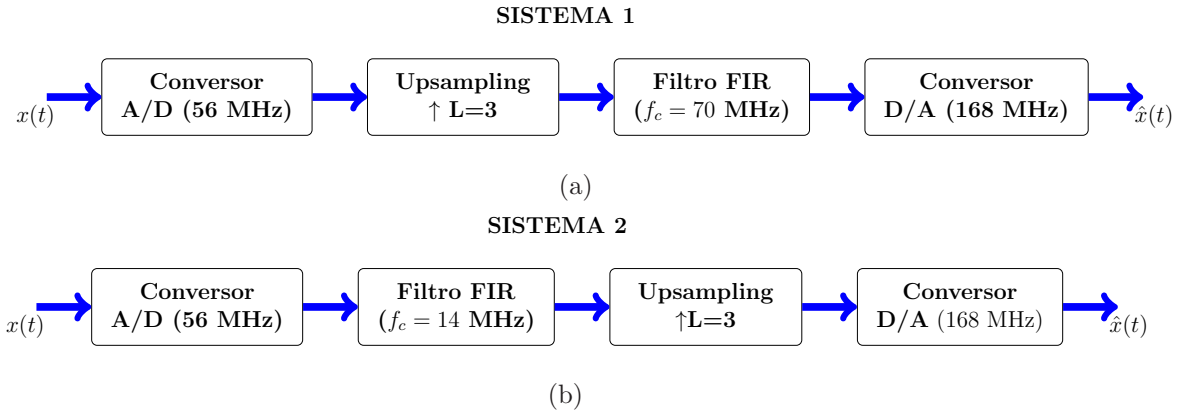


Figura 3.4: Sistemas para filtragem e reconstrução de sinais em FI pelo método de reamostragem discreta: (a) Sistema 1 -*upsampling* seguido de filtragem. (b) Sistema 2 - filtragem seguido de *upsampling*.

A Figura 3.5 apresenta a resposta em frequência ideal de dois filtros, $H_1(f)$ e $H_2(f)$, para os respectivos Sistemas 1 e 2 da Figura 3.4. O filtro $H_1(f)$ está centrado em 70 MHz enquanto que o filtro $H_2(f)$ está centrado em 14 MHz. Note que para igualar a taxa de amostragem do sinal $X(f)$ ao do filtro $H_1(f)$ no Sistema 1 o fator de *Upsampling*, ou seja, o L deve ser igual a 3. No Sistema 2 o L também deve ser igual a 3 para equiparar a resposta $\hat{X}(f)$ dos dois sistemas.

Devido à periodicidade no domínio discreto, o processo de filtragem dos dois filtros são equivalentes considerando o espectro centrado em 70 MHz. Então, ambos podem ser empregados na filtragem do referido sinal, porém, o filtro $H_1(f)$ tem o dobro da taxa de amostragem do filtro $H_2(f)$.

Note que a Figura 3.5 apresenta a resposta em frequência ideal dos dois filtros. Entretanto, o projeto de filtros com as respectivas respostas não é realizável na prática, mas ainda assim é possível projetar filtros com respostas aproximadas e que atendam na medida do possível os requisitos de filtragem desde que sejam conhecidas as características do sinal de

interesse.

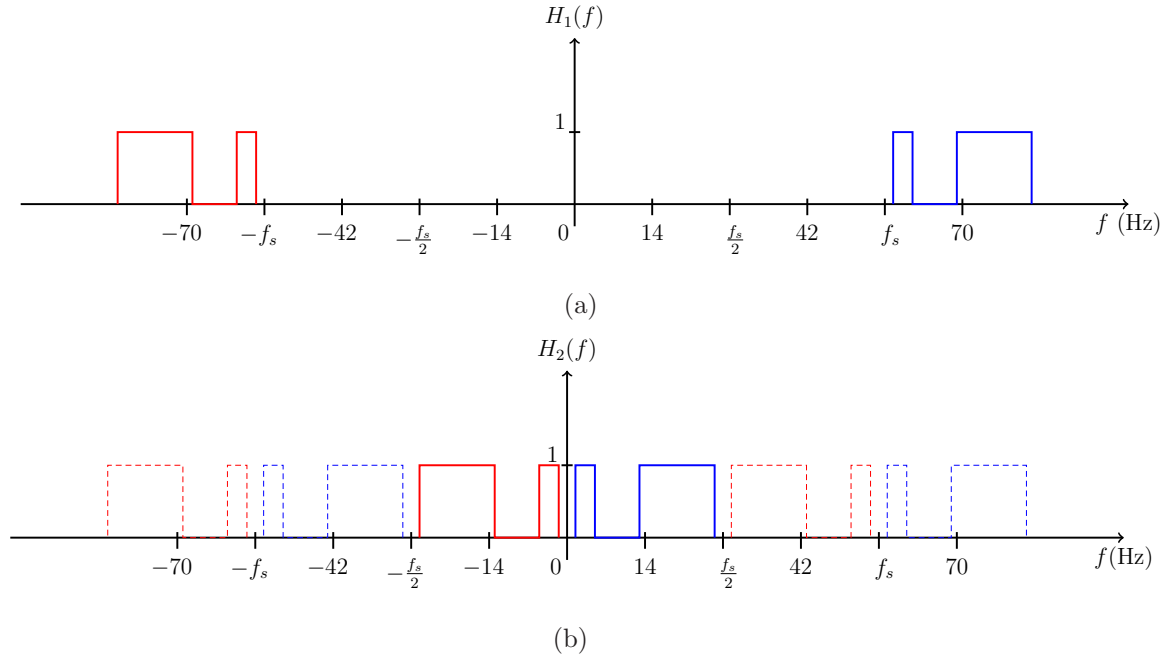


Figura 3.5: Amplitudes das respostas em frequência ideal dos filtros para os Sistemas 1 e 2. (a) Amplitude da resposta em frequência ideal do filtro para o Sistema 1. (b) Amplitude da resposta em frequência ideal do filtro para o Sistema 2.

Considerando características de um sinal GSM foram especificadas os principais parâmetros para o cálculo dos coeficientes do filtro, os quais são apresentados na Tabela 3.2.

A banda de transição foi determinada levando em conta o *trade-off* entre a exigência de um filtro com corte abrupta (devido à contiguidade das bandas a serem filtradas) e a ordem do filtro. No entanto, quanto menor a banda de transição maior é a ordem. Por essa razão, escolheu-se um valor intermediário (1 MHz) que atendesse às demandas da filtragem e resultasse em uma ordem aceitável para esta aplicação.

O projeto e implementação do filtro no FPGA foi realizado no ambiente de desenvolvimento da Altera *DSP Builder* em combinação com a ferramenta do Matlab para análise e projeto de filtros (*FDATool*) [25]. *DSP Builder* é uma ferramenta desenvolvida especificamente para desenvolvimento e implementação de sistemas PDS e oferece uma interface direta entre *Simulink/Matlab* e o *hardware* do FPGA, permitindo ao projetista simular e validar o projeto em nível de hardware. O *DSP Builder* também oferece várias Megafunções para implementar sistemas PDS, tais como a megafunção *FIR Compiler* [26].

A megafunção *FIR compiler* é um ambiente totalmente integrado de desenvolvimento

Tabela 3.2: Requisitos do projeto dos filtros FIR para os Sistemas 1 e 2

Parâmetros	Filtro para o Sistema 1	Filtro para o Sistema 2
Frequencia de amostragem	168 MHz	56 MHz
Método de projeto	FIR: Generalized Equiripple	FIR: Generalized Equiripple
Largura de banda transição	1 MHz	1 MHz
Ripple na banda passante	1 dB	1 dB
Atenuação na banda de parada	-60 dB	-60 dB
Tipo de resposta	Multibanda	Multibanda

de filtros FIR otimizado para os dispositivos FPGA's da Altera. A ferramenta *FIR compiler* suporta vários tipos de arquiteturas de filtro FIR, incluindo a *aritmética distribuída totalmente paralela* (Figura 3.6 [26]), em que a saída do filtro é calculada em um único ciclo de clock fornecendo melhor performance, mas também, maior consumo de área do FPGA, quando comparada com outras arquiteturas (*estrutura serial*, por exemplo).

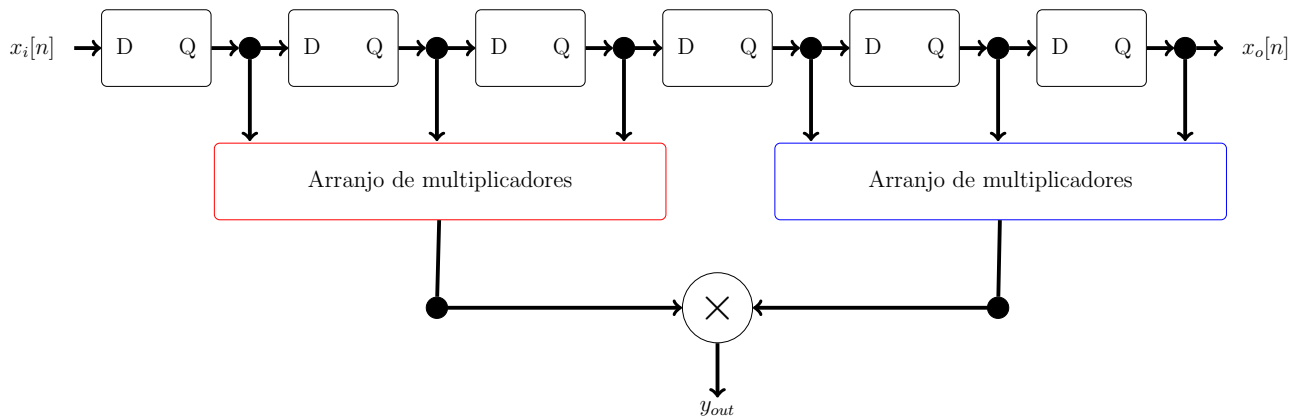


Figura 3.6: Diagrama em blocos de estrutura de filtro FIR totalmente paralela.

A megafunção *FIR Compiler* fornece duas opções para calcular os coeficientes do filtro:

1. Através do próprio gerador interno de coeficientes do *FIR Compiler*, o qual permite projetar filtros passa baixa, passa altas, passa-banda e outros tipos de filtro pelo método de janelamento.
2. Através de um software de terceiros, como por exemplo Matlab, onde os coeficientes podem ser calculado e depois guardados em um arquivo .txt para depois ser importado no *FIR Compiler*.

O gerador interno de coeficientes do *FIR Compiler* não oferece um método para projetar filtros

multibanda, ou seja, o cálculo dos coeficientes foi realizado aplicando-se o segundo método. Os coeficientes foram primeiramente calculados no ambiente do Matlab através da ferramenta *FDATool*.

A Tabela 3.3 mostra os parâmetros usados para o cálculo dos coeficientes. O cálculo dos coeficientes dos filtros resultou em ordens de 218 e 108, respectivamente para os filtros para os sistemas 1 e 2.

Os coeficientes calculados foram salvos em um arquivo .txt e em seguida o arquivo foi importado na ferramenta *FIR compiler* para gerar o arquivo .vhdl correspondente.

Tabela 3.3: Parâmetros do *FDA Tools* para o projetos dos filtros para os Sistemas 1 e 2.

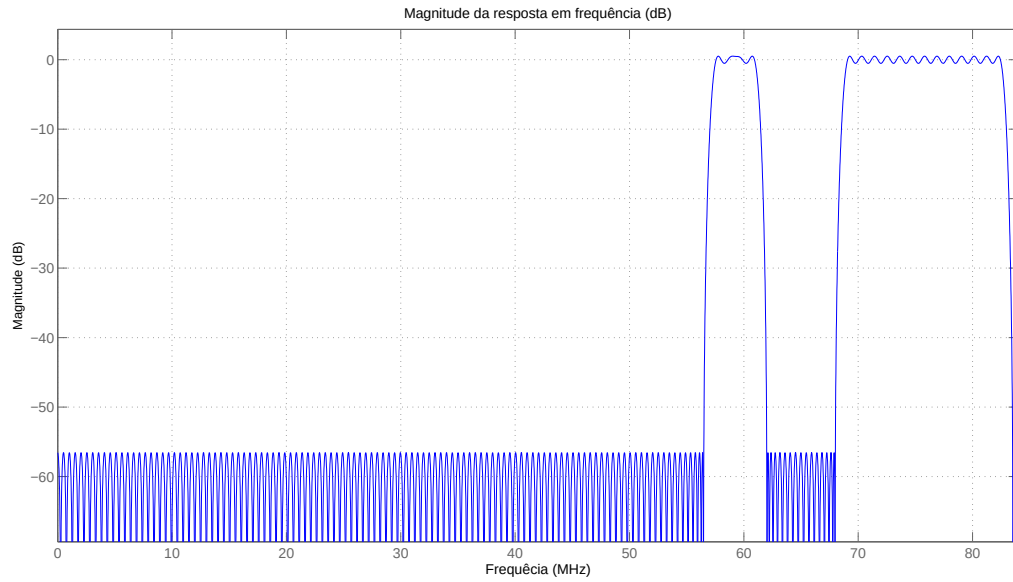
Parâmetros	Filtro para o Sistema 1	Filtro para o Sistema 2
Tipo de resposta	Multibanda	Multibanda
Método de projeto	FIR: Generalized Equiripple	FIR: Generalized Equiripple
Fator de densidade	20	20
Fase	Linear	Linear
Tipo de FIR	Tipo 1: ordem par, simétrico	Tipo 1: ordem par, simétrico

As respostas em frequência simuladas dos dois filtros são apresentadas, respectivamente, nas Figuras 3.7(a) e 3.7(b) .

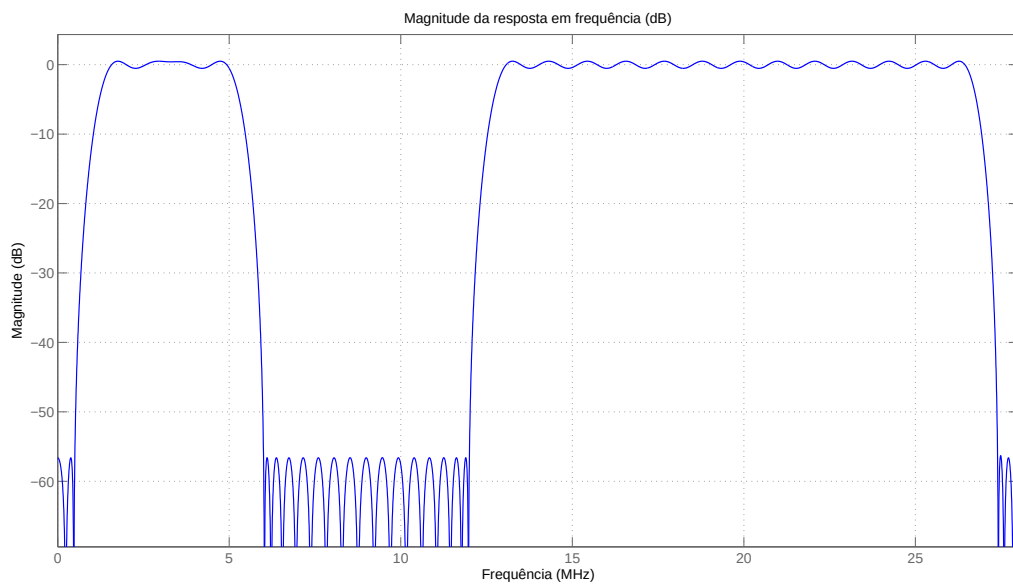
A Tabela 3.4 mostra as especificações para implementar o filtro na ferramenta *FIR Compiler*.

Tabela 3.4: Parâmetros configurados na ferramenta *FIR Compiler* para implementação dos filtros para os Sistemas 1 e 2.

Tamanho de Bit dos coeficientes	14
Tamanho de Bit de Entrada/Saída	14
Família de FPGA	Cyclone III
Estrutura de implementação	Aritmética distribuída: Totalmente paralela



(a)



(b)

Figura 3.7: Magnitudes das respostas em frequência dos filtros para os Sistemas 1 e 2: (a) Magnitude da resposta em frequência do filtro para os Sistema 1. (b) Magnitude da resposta em frequência do filtro para os Sistema 2.

3.3 Conclusão

Este capítulo apresentou, descreveu e discutiu os principais requisitos e técnicas usadas para projetar e implementar dois filtros FIR para um repetidor de celular usando os Sistemas 1 e 2 apresentados na Seção 2.3. Foram apresentados também requisitos, arquitetura e métodos de implementação de filtros FIR no FPGA.

Resultados de filtragem e reconstrução de sinais usando os filtros aqui projetados serão descritos no próximo capítulo.

Capítulo 4

Resultados

4.1 Introdução

Neste capítulo são apresentados resultados de dois experimentos relacionados aos temas discutidos ao longo deste trabalho. O experimento 1 apresenta resultados de filtragem digital e reconstrução de sinais em FI usando FPGA. Este experimento, realizado através de um kit de desenvolvimento, é baseado nos sistemas 1 e 2 apresentados na Seção 2.3 e nos filtros (filtros alvos) projetados e implementados para tais sistemas na Seção 3.2.

O experimento 2 descreve os processos de prototipagem de um módulo de filtragem digital para FPGA, com a validação do protótipo sendo realizada através da análise de filtragem e reconstrução de sinais em FI. Na mesma seção são feitas comparações entre os resultados obtidos com o kit e os obtidos com o protótipo.

4.2 Experimento 1: Resultados de filtragem digital e reconstrução de sinais em FI

Nesta seção são apresentados resultados experimentais sobre filtragem e reconstrução de sinais em FI. Os experimentos objetivam a comprovação prática da teoria apresentada na Seção 2.3. Para tal é proposta uma análise da média de distorção espectral entre as amplitudes das respostas em frequência dos sinais na saída do conversor D/A e a dos filtros alvos projetados e implementados na Seção 3.2.

4.3 Ferramentas usadas

No presente trabalho foi feito o uso de algumas ferramentas para a realização do experimento descrito mais adiante. Dentre as ferramentas usadas, as mais importantes foram as listadas em cada subseção a seguir.

4.3.1 Kit DSP Cyclone III Edition

O *Cyclone III Edition* (Figura 4.1) é um kit de desenvolvimento para processamento digital de sinais comercializado pela Altera Corp [27]. O kit é equipado com o FPGA *Cyclone III EP3C120F780*, dois conversores A/D e D/A de 14 bits e com velocidades de 150 e 250-MSPS, respectivamente. O kit ainda possui entre outros tela de LCD, memórias, componentes de interface Ethernet (RGMII) e USB.

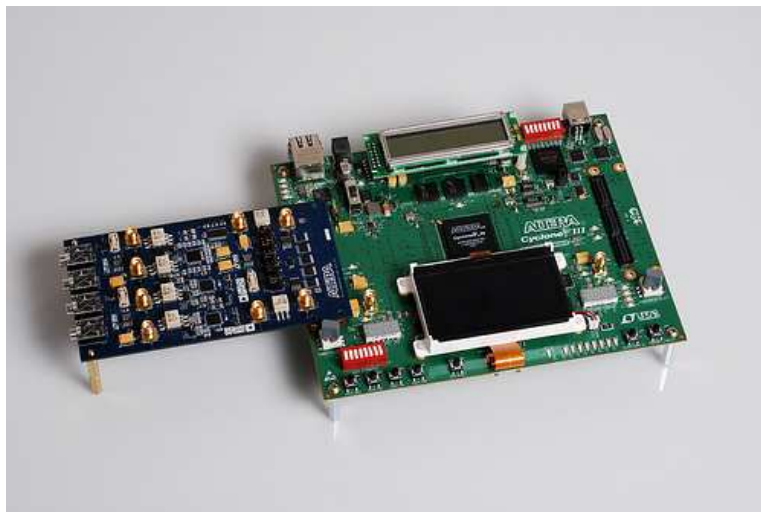


Figura 4.1: Kit de desenvolvimento DSP, *Cyclone III edition*.

4.4 Analisador de espectro N9320B

O *N9320B* (Figura 4.2) é um analisador de espectro de RF comercializado pela Agilent [28]. Sua frequência de operação varia entre 9 kHz a 3 GHz. Equipado com Gerador de Tracking (TG) e medidor de potência e ainda possui filtro EMI e funções de demodulação AM/FM e ASK/FSK. O N9320B pode ser controlado remotamente via PC e permite a transferência de dados através das conectividades USB, LAN and GPIB.

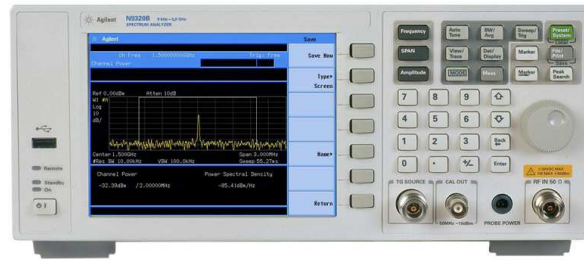


Figura 4.2: Analisador de espectro N9320B.

4.5 Matlab

MATLAB (MATrix LABoratory) é um software interativo de alta performance voltado para o cálculo numérico. O MATLAB integra análise numérica, cálculo com matrizes, processamento de sinais e construção de gráficos em ambiente fácil de usar. No MATLAB, o elemento básico de informação é uma matriz que não requer dimensionamento. Esse sistema permite a resolução de muitos problemas numéricos em apenas uma fração do tempo que se gastaria para escrever um programa semelhante em linguagem Fortran, Basic ou C. Além disso, as soluções dos problemas são expressas como elas são escritas matematicamente. O Matlab é uma combinação perfeita de muitas das linguagens mais utilizadas, tais como C, Java e Basic. Esta linguagem segue então de uma maneira muito fiel a maior parte dos aspectos das linguagens que estiveram na sua origem. Esta é então uma das grandes vantagens do Matlab [29].

4.6 Descrição do experimento

Para efeito da descrição da situação em questão, em termos de filtragem e reconstrução de sinais em FI, considere os esquemáticos dos três sistemas implementados no DSP Builder, os quais são apresentados, respectivamente, nas Figuras 4.3, 4.4 e 4.5. Como dito anteriormente, os sistemas são basicamente constituídos de um conversor A/D, filtro FIR e conversor D/A. Os sistemas 1 e 2 incluem ainda o bloco de *upsampling*. Os filtros são implementados usando a Megafunção FIR compiler. O consumo de hardware do FPGA dos três sistemas é resumido na Tabela 4.1.

Para efeito de teste dos sistemas implementados, considere o esquema apresentado na Figura 4.6 onde o sinal de teste, gerado através do analisador de espectro *N9320B* com *Gerador de Tracking* (TG) [28] foi enviado para o conversor A/D do kit *Cyclone III*, filtrado e enviado de volta para o analisador de espectro através do conversor D/A do kit *Cyclone III*. O sinal



Figura 4.3: Esquemático do Sistema sem upsampling implementado no *DSP Builder*.

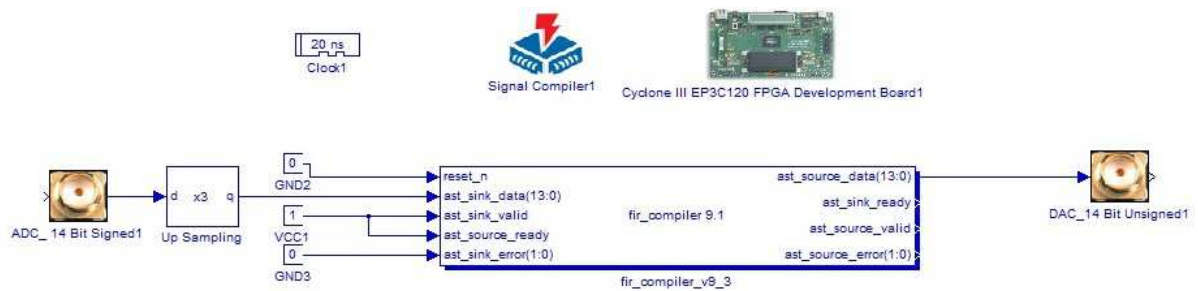


Figura 4.4: Esquemático do Sistema 1 implementado no *DSP Builder*.



Figura 4.5: Esquemático do Sistema 2 implementado no *DSP Builder*.

Tabela 4.1: Consumo de hardware do FPGA para os três sistemas.

Recursos	Sem <i>Upsampling</i>	Sistema 1	Sistema 2
Total de elementos lógicos	11454/119088 (10%)	28512/119088(24%)	19255/119088 (16%)
Total de registradores	10004	23829	12963
Total de pinos	34/532 (6%)	34/532 (6%)	35/532 (7%)

proveniente do TG é tal que excita o filtro em todas as frequências e levanta a resposta em frequência do filtro.

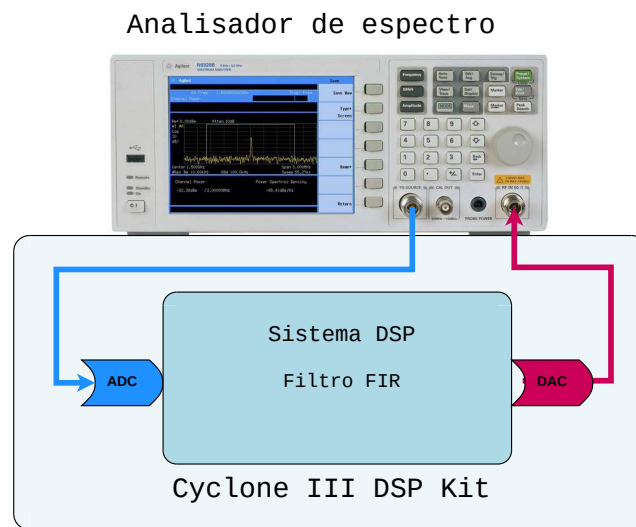


Figura 4.6: Diagrama do esquema do experimento 1.

Para a análise das médias das distorções espectrais dos sistemas envolvidos, Sistema sem *Upsampling* e Sistemas 1 e 2 foi implementado um programa no Matlab, o qual calcula a média da distorção espectral entre a magnitude da resposta em frequência do sinal na saída do conversor D/A e a do filtro alvo para cada um dos respectivos sistemas. Os dados da amplitude da resposta em frequência do sinal na saída do conversor D/A, plotados no analisador de espectro foram gravados em um dispositivo de armazenamento via USB e inseridos no Matlab para o cálculo das médias das distorções espectrais. As Figuras 4.7(a), 4.8(a) e 4.9(a) apresentam, respectivamente, os gráficos da comparação das amplitudes das respostas em frequência dos sinais na saída do conversor D/A com as dos filtros alvos. Tais amplitudes foram normalizadas de tal forma que seus valores máximos fossem igual a 1 (0 dB). O cálculo das médias das distorções espectrais foi efetuado para as bandas de passagem do filtro (57.5 – 82.5 MHz), fora desta banda a média da distorção espectral foi considerada igual a zero. Os resultados dos cálculos são destacados na Tabela 4.2. Ainda, para cada caso foi realizado o cálculo da diferença entre as amplitudes das respostas em frequência dos sinais

na saída do conversor D/A com a dos respectivos filtros alvo. Os resultados são plotados nas Figuras 4.7(b), 4.8(b) e 4.9(b).

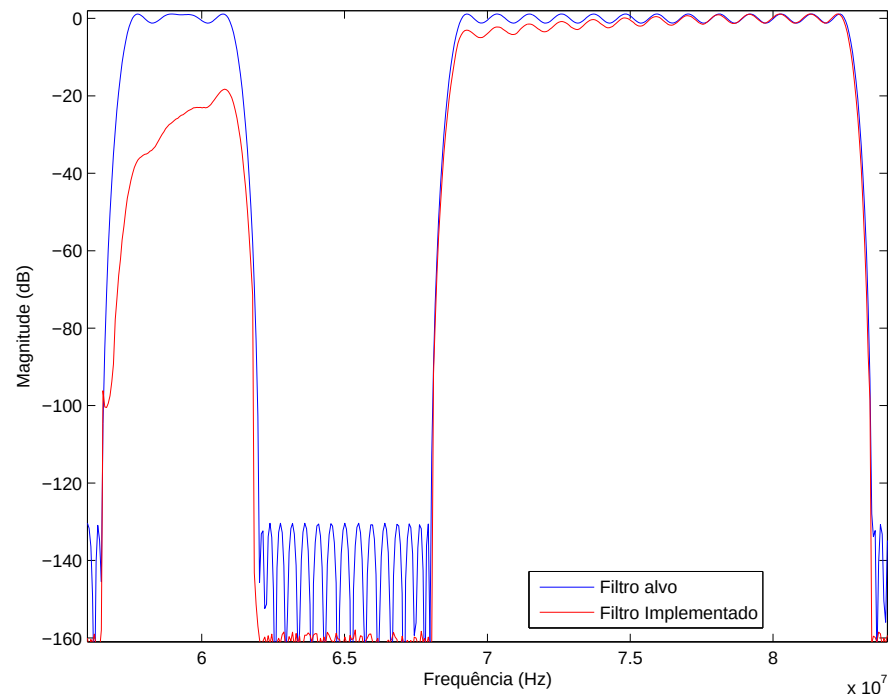
4.7 Apresentação dos resultados e comentários

A primeira observação a notar nas Figuras 4.7, 4.8 e 4.9 é o efeito *ZOH* na amplitude da resposta em frequência dos sinais na saída do conversor D/A. Tal efeito se caracteriza em distorção espectral e pode ser melhor observado nas Figuras 4.7(b), 4.8(b) e 4.9(b), respectivamente para os sistemas - sem *Upsampling*, Sistemas 1 e 2. Observa-se também que tal efeito diminui nas respostas dos Sistemas 1 e 2. Em termos de valores médios, como apresentado na Tabela 4.2, o Sistema sem *upsampling* apresenta média da distorção espectral em torno de 11.2 dB, aproximadamente oito vezes maior que o Sistema 1 (1.4 dB) e cinco vezes maior que o sistema 2 (2.2 dB). Em termos de consumo de hardware observa-se, a partir da Tabela 4.1, que o Sistema 1 consome mais hardware que todos os outros sistemas, 14 % e 8% mais elementos lógicos que os sistemas sem *upsampling* e 2, respectivamente. Ainda, o Sistema 1 consome 13825 e 10866 mais registradores que os sistemas sem *upsampling* e 2, respectivamente.

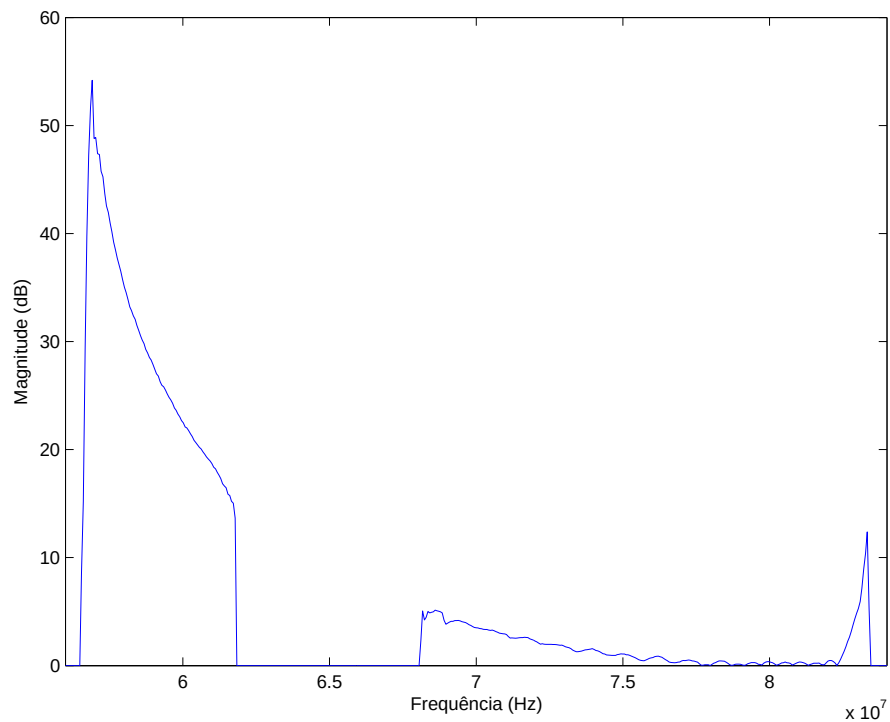
Tabela 4.2: Comparação das médias da distorção espectral dos três sistemas de filtragem e reconstrução de sinais em FI.

Sistemas	Média da distorção espectral (dB)
Sem <i>Upsampling</i>	11.2
Sistema 1: <i>Upsampling</i> seguido de filtragem (L=3)	1.4
Sistema 2: Filtragem seguido de <i>Upsampling</i> (L=3)	2.2

Conclui-se então que os dois Sistemas, 1 e 2, sugeridos na Seção 2.3 apresentam um ganho significativo na diminuição da distorção espectral e reconstrução do sinal em FI. O desempenho dos dois sistemas pode ser considerado aproximado devido à relativamente pequena diferença entre suas médias de distorção espectral. Entretanto existe uma diferença significativa entre os dois sistemas em termos de consumo de hardware. Tal diferença sugere o uso do Sistema 2 em aplicações em que o custo é um fator predominante.

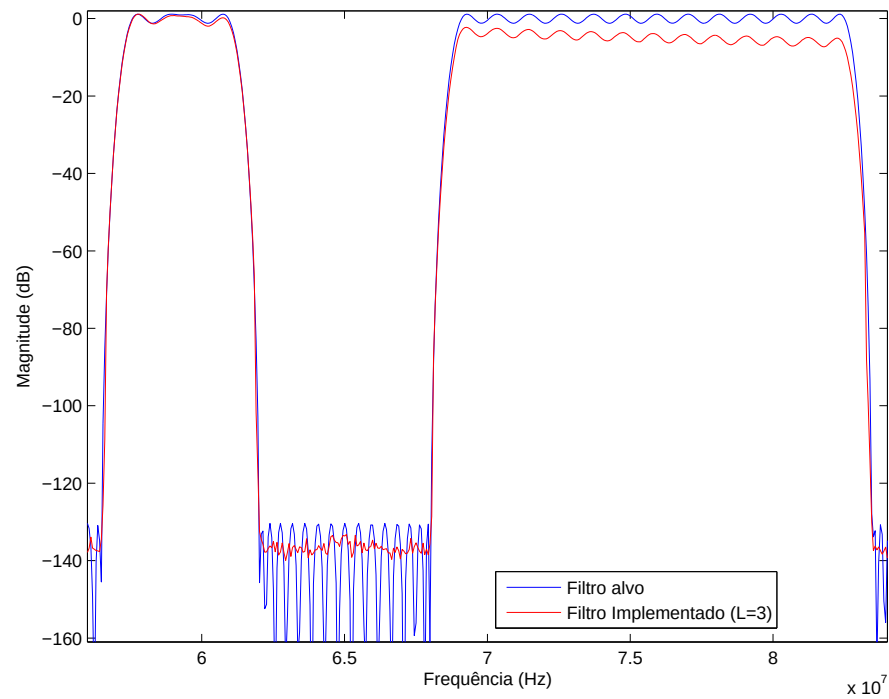


(a)

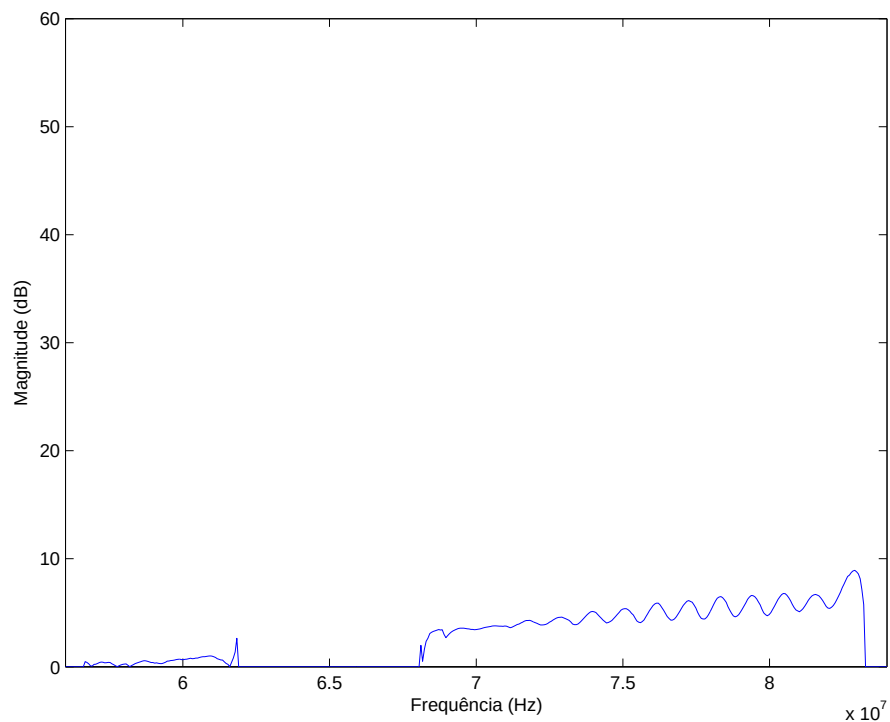


(b)

Figura 4.7: Resultados de reconstrução de sinais em FI obtidos através do Sistema sem *Upsampling*: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.

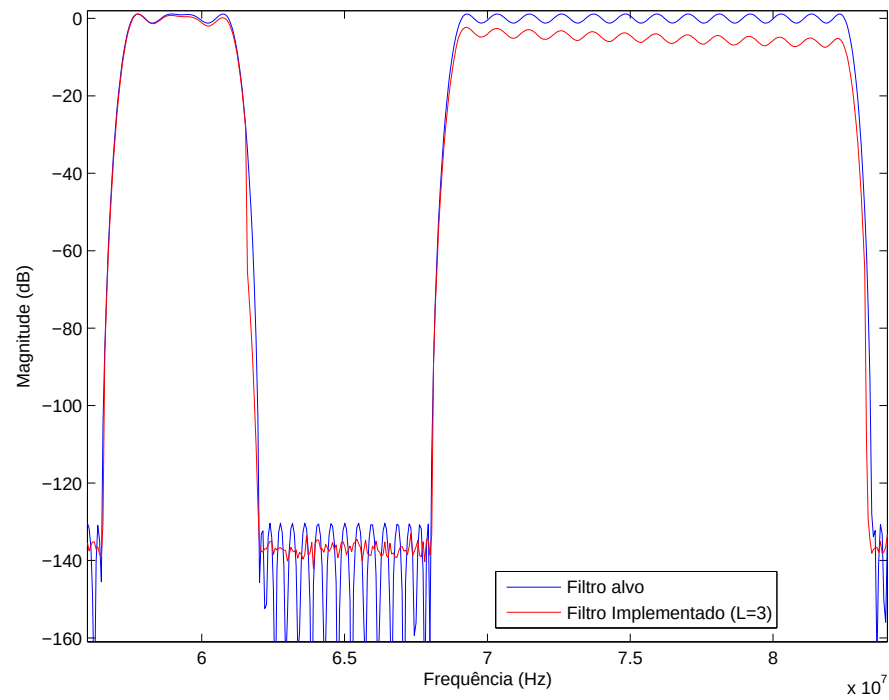


(a)

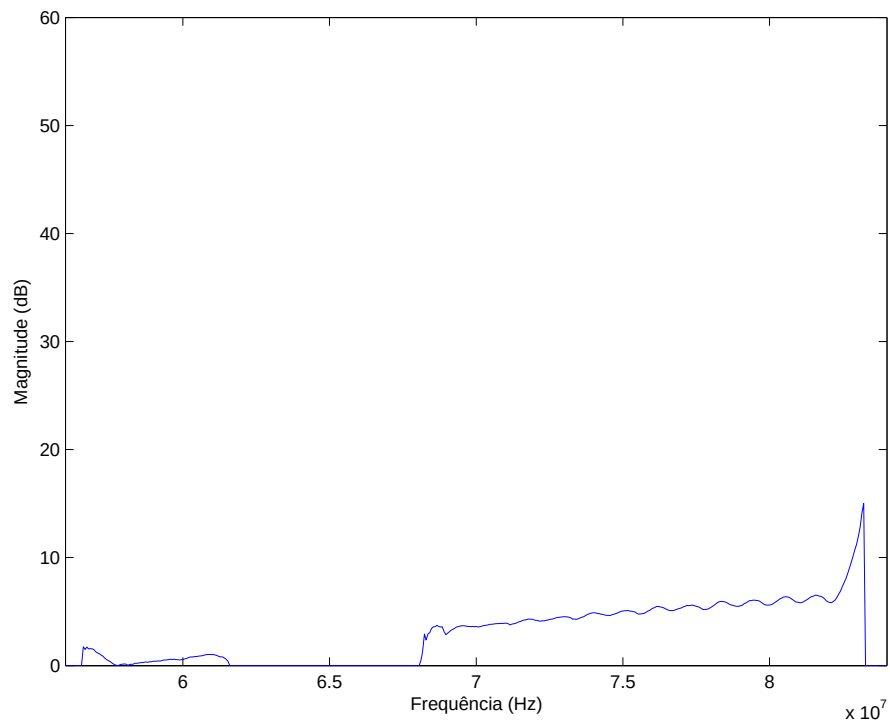


(b)

Figura 4.8: Resultados de reconstrução de sinais em FI obtidos através do Sistema 1 - *Upsampling* seguido de filtragem: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro FIR. (b) Diferença calculada entre as duas amplitudes.



(a)



(b)

Figura 4.9: Resultados de reconstrução de sinais em FI obtidos através do Sistema 2 - filtragem seguido de *Upsampling*: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro FIR. (b) Diferença calculada entre as duas amplitudes.

4.8 Experimento 2: Prototipagem de um módulo de filtragem digital para um repetidor de celular

Esta seção apresenta resultados do desenvolvimento do protótipo de um módulo de filtragem digital para um repetidor de celular. Os resultados descrevem passo a passo o projeto, fabricação, montagem e soldagem da PCI protótipo. A demonstração dos processos objetiva estabelecer uma metodologia de projetos para prototipagem de PCIs no LASSE. Por final são apresentados resultados de filtragem e reconstrução de sinais em FI levantados através do protótipo e estes resultados são comparados com os obtidos no experimento 2.

4.8.1 Ferramentas usadas

Na presente seção foi feito o uso de algumas ferramentas para a realização dos processos de prototipagem descritos mais adiante. Dentre as ferramentas usadas, as mais importantes são descritas a seguir.

4.8.1.1 LPKF ProtoMat S62

LPKF ProtoMat S62 (Figura 4.10 [30]) é uma máquina usada na fabricação de PCIs. Este sistema compacto de alta velocidade oferece precisão inigualável e desempenho de forma rápida e fácil de fresagem e perfuração de protótipos de placas de circuito impresso [30].



Figura 4.10: Máquina de fabricação de PCIs *LPKF ProtoMat S62*.

4.8.1.2 LPKF CircuitCAM

O *LPKF CircuitCAM* (Figura 4.11 [30]) é um software para criação de projetos de fabricação de PCI usado em conjunto com o *LPKF ProtoMat S62* e o *LPKF's BoardMaster*. O *LPKF CircuitCAM* importa dados de projeto de praticamente todos os tipos de pacotes CAD (*Computer-Aided Design*) e permite realizar alterações nestes durante a fase do processo. O software fornece ao usuário uma sofisticada estação CAM (*Computer-Aided Manufacturing*) e permite controlar todos os dados de produção, modificar o projeto, repetir o *layout* completo, executar diferentes verificações de regra, gerar planos de terra e gerar dados de roteamento. *LPKF CircuitCAM* também é um eficiente conversor de dados, com suporte para conversão de dados *AutoCAD* para *Gerber*, por exemplo [30].

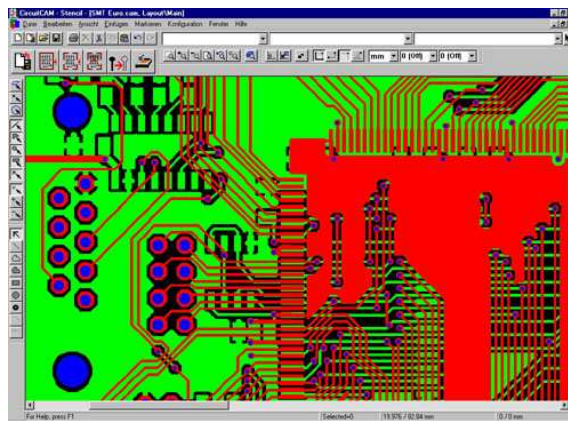


Figura 4.11: Janela principal do *LPKF CircuitCAM*.

4.8.1.3 LPKF BoardMaster

O software *LPKF BoardMaster* (Figura 4.12 [30]) é um software para controle de processos de fabricação de PCIs através do *LPKF ProtoMat S62*. Combina uma interface amigável e aceita dados de projetos de fresamento e furação criados pelo *CircuitCAM*, bem como arquivos HPGL de vários outros pacotes de software [30].

4.8.1.4 LPKF Zelprint LT300

O *LPKF Zelprint LT300* (Figura 4.13 [30]) é uma impressora manual de pasta de solda de alta precisão, projetada para impressão através do stencil. Este modelo de mesa suporta molduras tanto para stencil de aço, assim como para stencil de folha de polímero e pode ser empregada nos processos de prototipagem de pequenos lotes de placas SMT com componentes

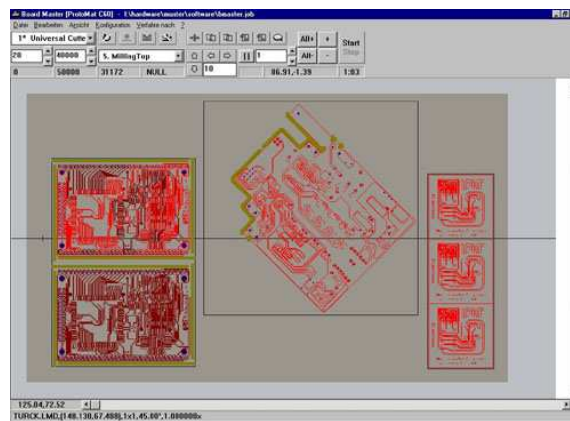


Figura 4.12: Janela principal do *LPKF BoardMaster*.

fine pitch. Esta solução única permite impressões em áreas *fine pitch* e *ultra-fine-pitch* (0.3 mm (12 mil)).

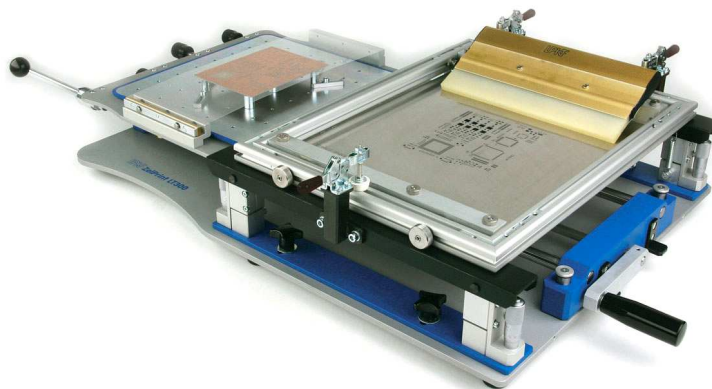


Figura 4.13: Impressora manual de pasta de solda *LPKF Zelprint LT300*.

4.8.1.5 LPKF ProtoPlace BGA

LPKF ProtoPlace (Figura 4.14 [30]) é uma inseridora semi-automática de BGA também empregada na inserção de outros tipos de componentes como CSP e Flip chip, *fine-pitch* e *ultra fine pitch*. Permite um manuseio fácil e precisão na inserção, diminuindo assim os custos de inspeção e reparo. Este sistema é apropriado tanto para laboratórios de desenvolvimento, assim como para produções volumosas de PCIs [30].

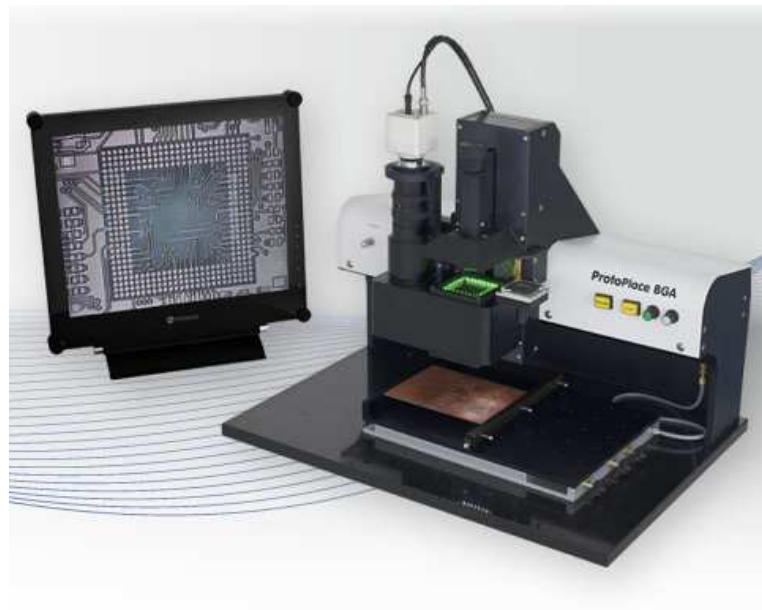


Figura 4.14: Inersora de BGA *LPKF ProtoPlace BGA*.

4.8.1.6 LPKF ProtoFlow

O *LPKF ProtoFlow* (Figura 4.15 [30]) é um forno de refusão com capacidades para soldagem *lead free*. Este modelo de forno possui várias zonas de temperatura programáveis pelo usuário que se estendem entre pré-aquecimento e refusão, o que permite a este forno processar todos os perfis de temperatura de até 320° C. Ainda, este modelo é munido de um pacote de softwares de controle que permitem o monitoramento e ajuste dos perfis via PC [30].



Figura 4.15: Forno de refusão *LPKF ProtoFlow*.

4.8.2 Descrição dos processos

O processo de prototipagem da PCI foi dividida em duas grandes etapas enumeradas a seguir:

1. Projeto e manufatura da PCI, que inclui basicamente:

- Definição dos requisitos técnicos e elétricos;
- Esquemático e layout;
- Análise DFM (*Design for manufacturing*);
- Manufatura da PCI.

2. Processo de montagem e soldagem da PCI, que inclui basicamente:

- Aplicação da pasta de solda;
- Inserção de componentes;
- Soldagem.
- Teste e validação.

4.8.2.1 Definição dos requisitos técnicos e elétricos

Nesta etapa foram levantados e definidos todos os requisitos técnicos e elétricos do projeto, assim como digramas em blocos da funcionalidade e outros fatores necessários ao projeto. O diagrama em blocos básico do projeto é apresentado na Figura 4.16. O módulo é constituído basicamente por conversor A/D, FPGA e conversor D/A.

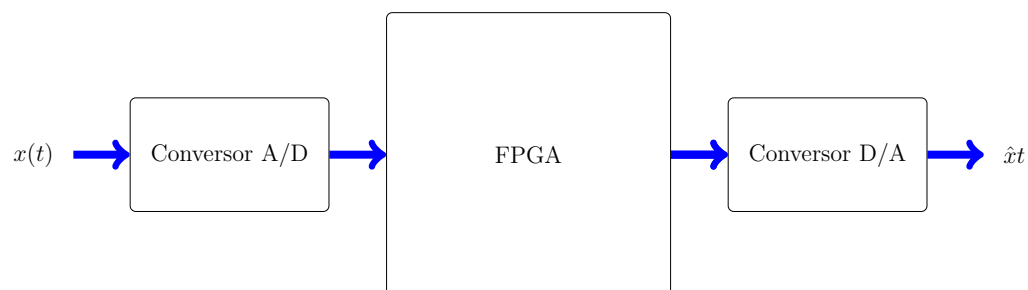


Figura 4.16: Diagrama em blocos básico do projeto de um protótipo para filtragem digital.

4.8.2.2 Esquemático e *layout*

Uma vez especificados todos os requisitos necessários ao projeto o esquemático e *layout* foram realizados usando respectivamente os softwares da Mentor Graphics *DX Designer* e *Expedition PCB* [31]. O *layout* resultou em uma placa dupla face de oito camadas, com três camadas de sinal, três de alimentação e duas de terra.

4.8.2.3 Análise DFM

Análise DFM é um processo de verificação da viabilidade de manufatura, montagem e soldagem de uma PCI. É importante efetuar a análise DFM antes da manufatura da PCI, principalmente quando esta for de alta complexidade em termos de número de camadas, componentes e roteamento. A análise DFM quando bem executada evita a invalidação da PCI e/ou reparos custosos.

O projeto de *layout* da PCI projetada foi submetida a uma análise DFM no software *Trilogy* [31] onde erros foram detectados e corrigidos antes da manufatura da mesma.

4.8.2.4 Manufatura da PCI

A alta complexidade da PCI requereu que esta fosse fabricada por uma empresa especializada em manufatura de PCIs. A PCI protótipo é apresentada na Figura 4.17.

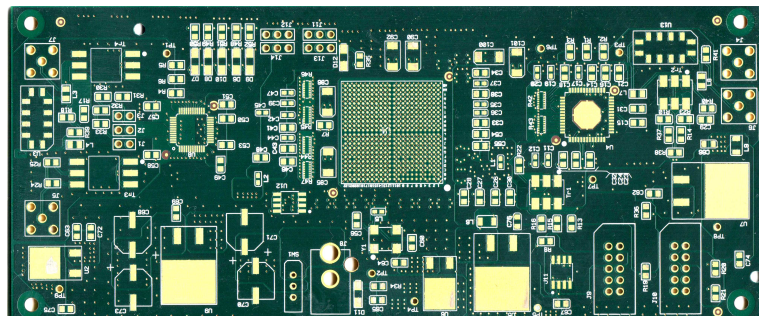


Figura 4.17: PCI do módulo de filtragem digital de um repetidor de celular.

4.8.2.5 Processo de montagem e soldagem da PCI

Em termos de definição do processo de montagem e soldagem da PCI, observa-se que esta possui configuração SMT Top e Bottom e THT Top. Normalmente o fluxo de processo para este tipo de PCA é aquele apresentado na Figura A.22 da Secção A.4 mas, tratando-se de

um protótipo montado em laboratório foi adotado o fluxo de montagem e soldagem apresentado na Figura 4.19.

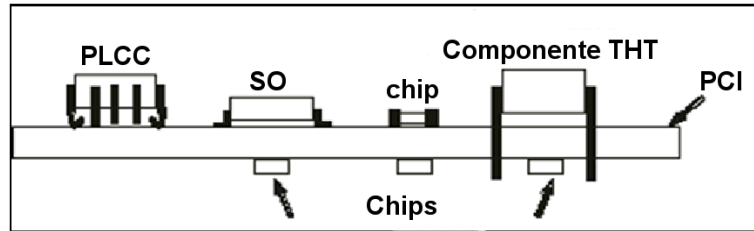


Figura 4.18: Esquema de uma PCA com componentes SMT no TOP e no Bottom e THT no TOP.

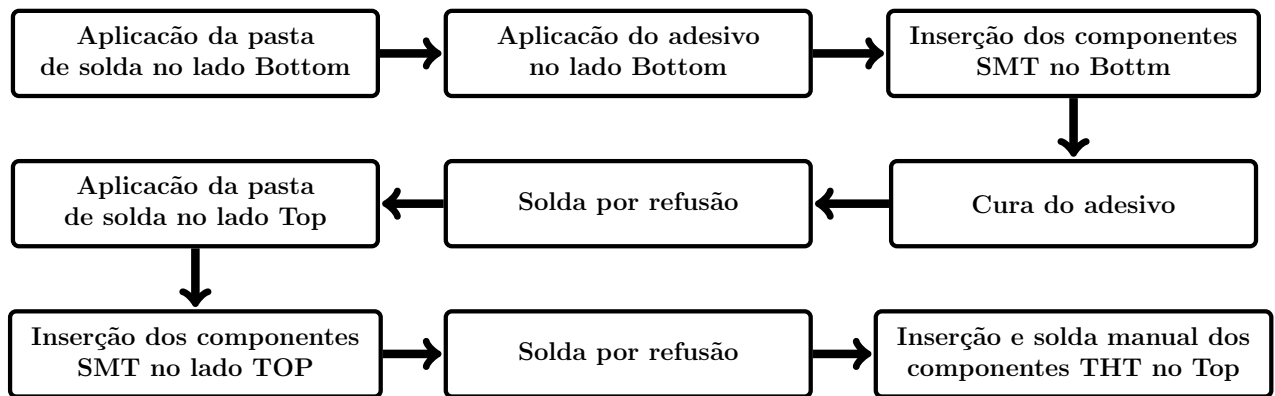


Figura 4.19: Fluxo de montagem e soldagem da PCI protótipo (componentes SMT no Top e no Bottom e THT no Top).

4.8.2.6 Aplicação da pasta

A aplicação da pasta se deu no *LPKF Zelprint LT300* através de um stencil de folha de polímero especial. Tal stencil foi fabricado por fresagem no *LPKF ProtoMat S62* em conjunto com os softwares *LPKF BoardMaster* e *LPKF CircuitCAM*. O stencil do lado TOP da PCI é apresentada na Figura 4.20.

No processo de solda foi empregada pasta de solda *lead free* de composição Sn-Ag-Cu (estanho-prata-cobre) da marca BOTECH comercializado pela *White Solder* [32]. Os requisitos de refusão desta pasta são descritos mais adiante na seção de refusão.

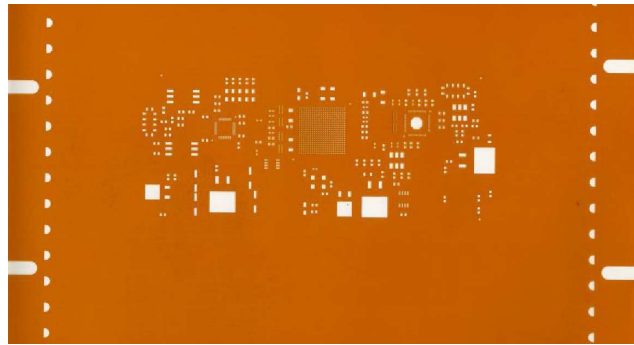


Figura 4.20: Stencil de folha de polímero para a aplicação da pasta de solda no lado Top da PCI protótipo.

4.8.2.7 Inserção de componentes

A inserção dos componentes foi feita manualmente, com exceção do BGA e dos componentes fine-pitch que foram montados usando a *LPKF ProtoPlace BGA*. A montagem manual foi realizada através de uma folha de processo criada no software *Vmanage* [31]. Uma página de exemplo é apresentada na Figura 4.21.

4.8.2.8 Solda por refusão

A solda dos componentes foi realizada no forno de refusão *LPKF ProtoFlow*. Os dados do perfil de temperatura são apresentados na Tabela 4.3. O referido perfil foi levantado a partir das especificações da pasta e dos componentes com sensibilidade térmica. A curva levantada no forno durante o processo de soldagem é apresentada na Figura 4.22. O resultado final da soldagem da PCA é apresentado na Figura 4.23.

Tabela 4.3: Perfil de refusão da PCI protótipo.

Fase	Temperatura ° C	Tempo (seg)
Pré-Aquecimento	180	110
Refusão	240	110
Resfriamento	25	60

4.8.2.9 Teste e validação do protótipo

A validação do protótipo se deu através de uma série de testes elétricos e funcionais. Aprovados estes, foi realizado o teste mais importante, o da filtragem e reconstrução de sinais

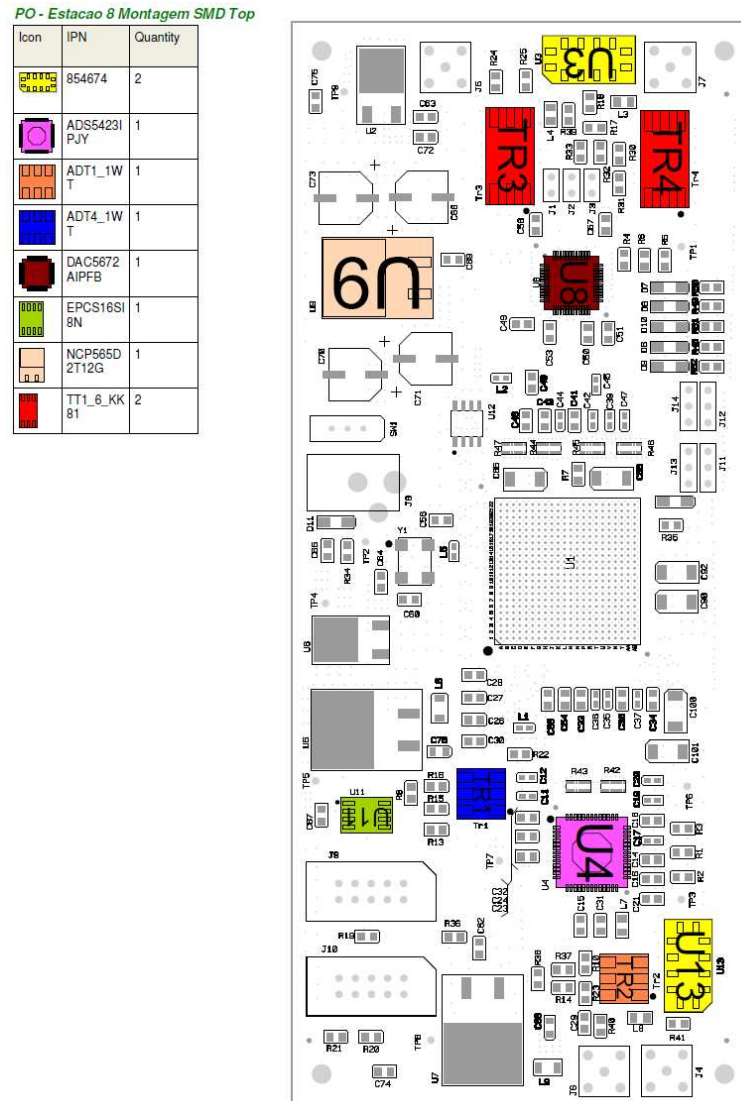


Figura 4.21: Página exemplar da folha de Processos da PCI protótipo.

em FI e a análise da média da distorção espectral entre a amplitude do sinal na saída do conversor D/A com as dos filtros implementados na Seção 3.2 para cada um dos sistemas descritos na Seção 4.2. A configuração e condição de testes foram as mesmas da Seção 4.2. Os resultados da diferença entre a magnitude da resposta em frequência do sinal na saída do Conversor D/A e a do filtro alvo para cada um dos sistemas são apresentados nas Figuras 4.24(b), 4.25(b) e 4.26(b). As médias das distorções espectrais dos mesmos são destacados na Tabela 4.4.

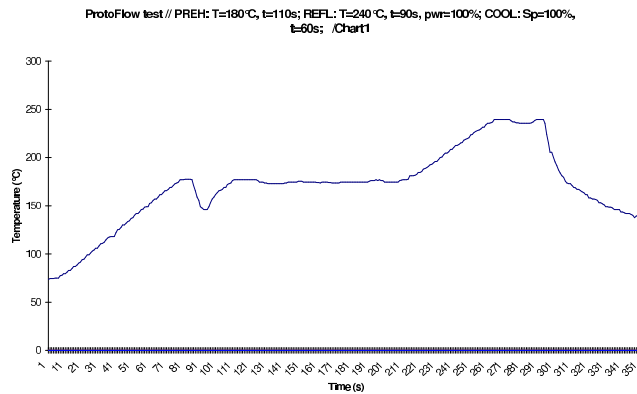


Figura 4.22: Perfil térmico de solda por refusão do PCI protótipo.

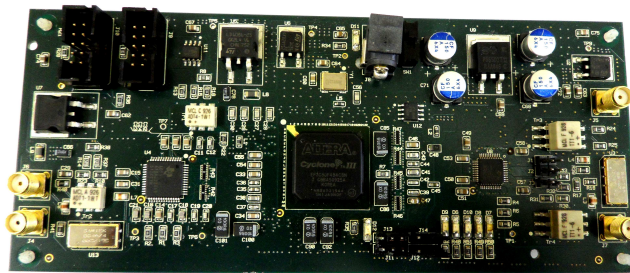


Figura 4.23: Placa protótipo final.

4.9 Apresentação dos resultados e comentários

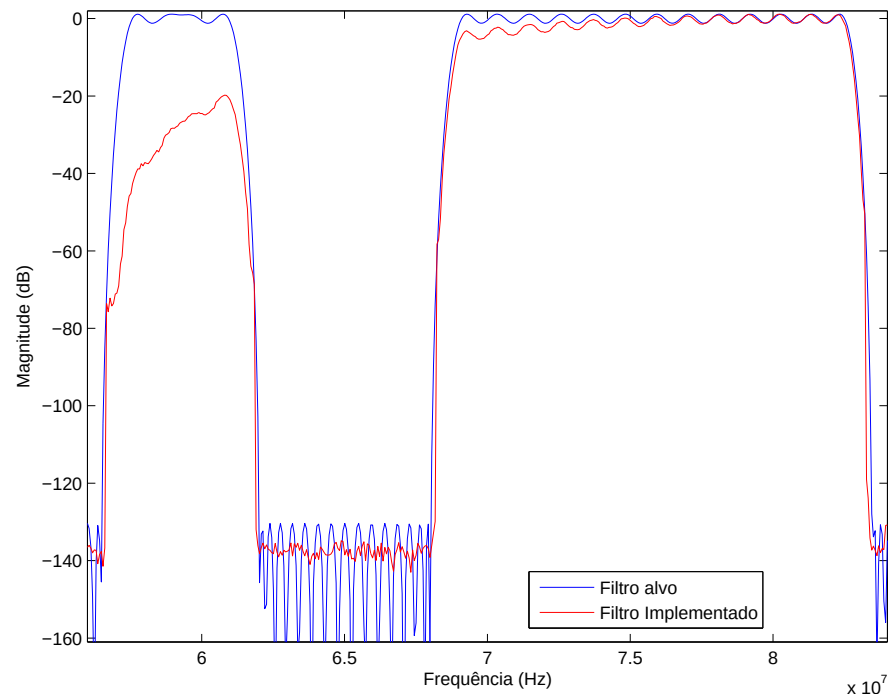
No contexto do experimento, a primeira observação a se fazer é que as curvas apresentadas nas Figuras 4.24(b), 4.25(b) e 4.26(b) apresentam características semelhantes às levantadas no kit *Cyclone III* (Seção 4.2). Tal semelhança é confirmada pelos valores das médias das distorções espectrais apresentadas na Tabela 4.4. Ainda na mesma tabela, observa-se que tais valores são bem próximos dos calculados quando da implementação dos três sistemas no kit *Cyclone III*.

4.10 Conclusão

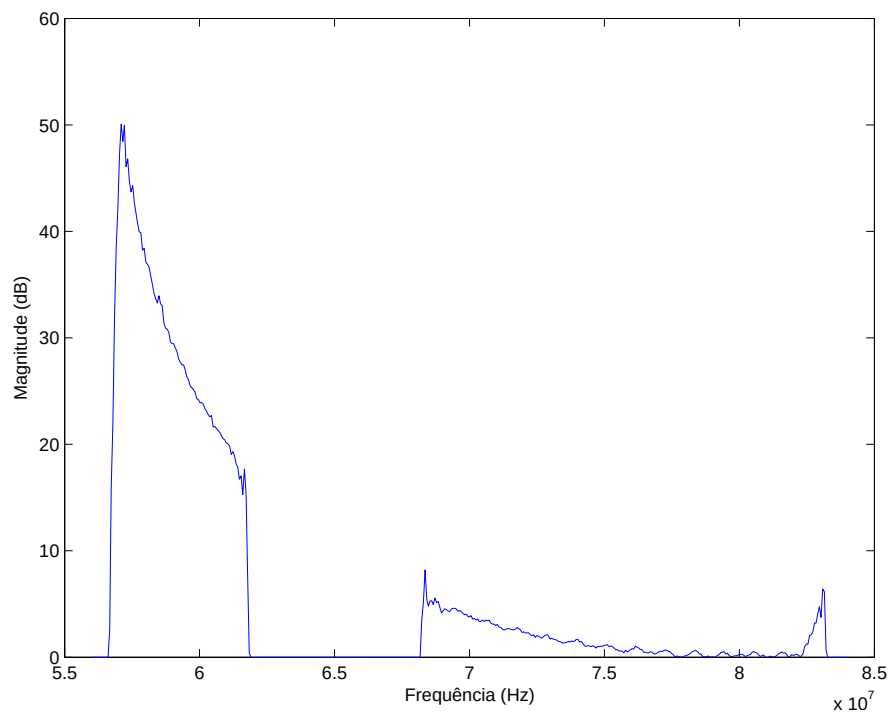
Esta seção apresentou resultados experimentais de filtragem digital e reconstrução de sinais em FI.

Pode se concluir que em ambos os experimentos a análise da distorção espectral entre as amplitudes das repostas em frequência dos sistemas apresentados e do filtro implementado no Matlab dão uma visão clara do desempenho dos sistemas sugeridos e validam a implementação.

No primeiro experimento foi verificado que os sistemas 1 e 2 diminuem a distorção

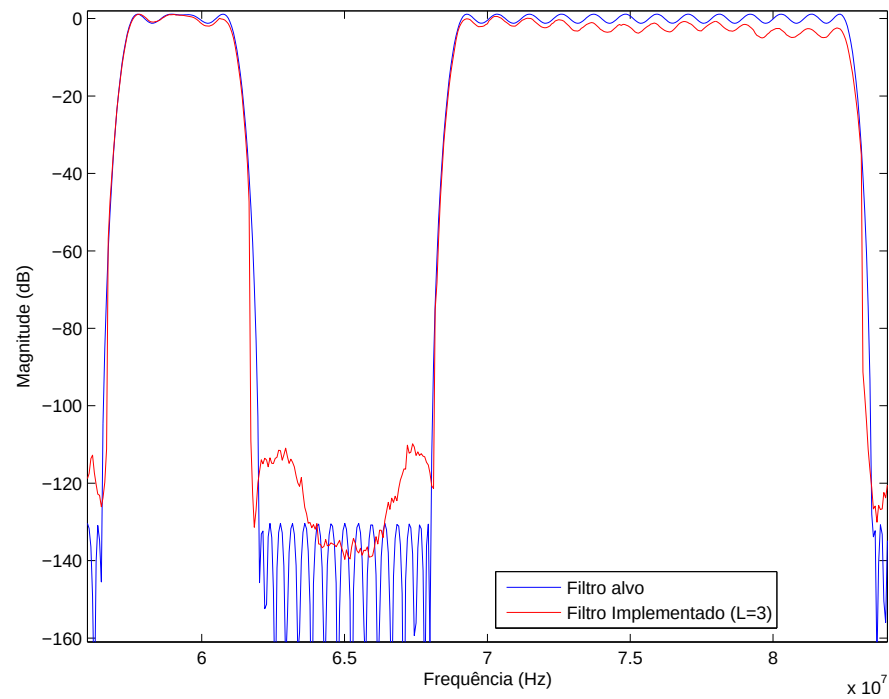


(a)

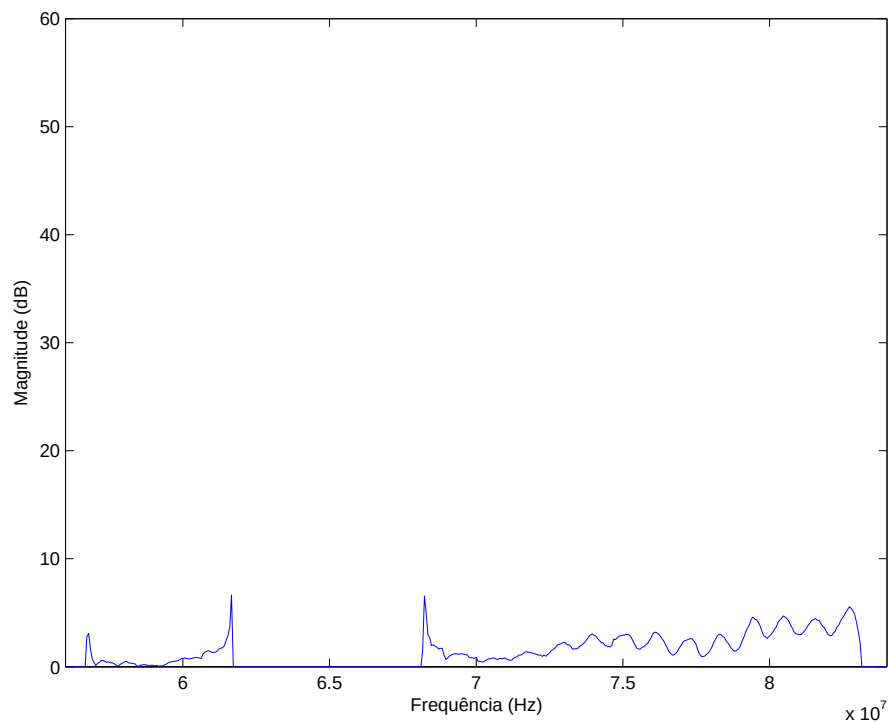


(b)

Figura 4.24: Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema sem *Upsampling*: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.

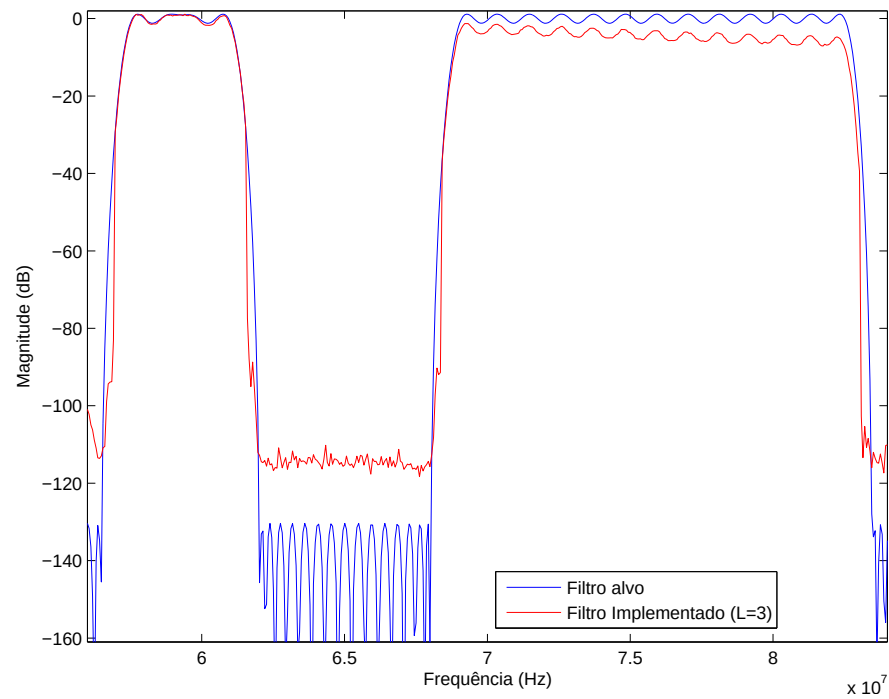


(a)

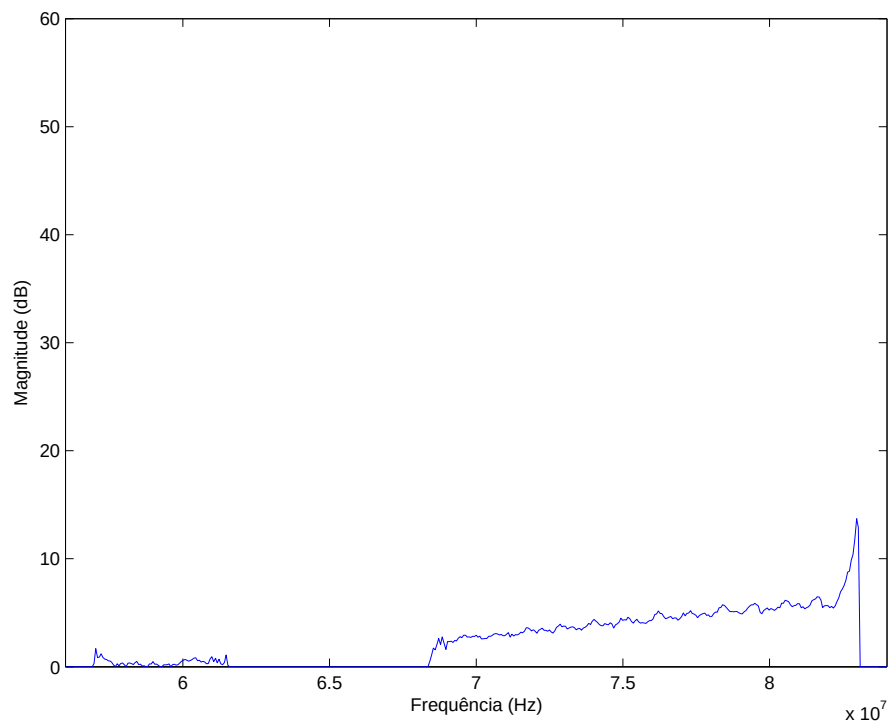


(b)

Figura 4.25: Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema 1 - *Upsampling* seguido de filtragem: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.



(a)



(b)

Figura 4.26: Resultados de reconstrução de sinais em FI obtidos do protótipo através do Sistema 2 - filtragem seguido de *Upsampling*: (a) Comparação da amplitude da resposta em frequência do sinal na saída do Conversor D/A com a do filtro alvo. (b) Diferença calculada entre as duas amplitudes.

Tabela 4.4: Comparação das médias da distorção espectral dos três sistemas de filtragem e reconstrução de sinais em FI.

Sistemas	Média da DE(protótipo) (dB)	Média da DE (<i>Cyclone III</i>)(dB)
Sem <i>Upsampling</i>	12.3	11.2
Sistema 1	1.5	1.4
Sistema 2	2.4	2.2

sofrida pelas réplicas do sinal centradas em FI. Verificou-se ainda que o desempenho dos dois sistemas foi aproximado, o que leva a concluir que ambos podem ser empregados nos processos de filtragem e reconstrução de sinais em FI.

No segundo experimento, foi verificado o projeto, montagem, soldagem e validação de um protótipo de filtragem digital para repetidores de celular. Os resultados de distorção espectral calculados através deste protótipo foram bastante satisfatórios. Tanto que a comparação entre os dois *hardwares* (protótipo e o kit *Cyclone III*) apresentou resultados bem próximos.

Pode se concluir então que em ambos os experimentos os resultados foram satisfatórios, mostrando a utilidade dos sistemas sugeridos como uma boa solução para aplicações práticas de filtragem e reconstrução de sinais em FI.

Capítulo 5

Conclusão

Este trabalho apresentou estudos e resultados referentes à filtragem digital e reconstrução de sinais em frequência intermediária.

Segundo os conceitos teóricos, os procedimentos e os resultados apresentados neste trabalho, chegou-se às seguintes conclusões:

- A reconstrução de sinais em FI pode ser realizada através da técnica de reamostragem de sinais no domínio discreto com vantagens sob o método mais tradicional.
- A qualidade do sinal reconstruído é dependente da taxa de reamostragem, ou seja, do fator de *Upsampling*. Nesse trabalho essa qualidade foi medida através da distorção espectral, a qual se mostrou adequada para os propósitos do estudo.
- Os Sistemas 1 e 2 apresentados na Seção 2.3 podem ser empregados na filtragem e reconstrução de sinais em FI. Tais sistemas melhoram a qualidade do sinal reconstruído e diminuem significativamente a distorção espectral dos sinais em FI. Em termos comparativos, os dois sistemas apresentaram resultados próximos, sendo que o Sistema 1 apresentou um desempenho um pouco melhor ao custo de mais hardware e processamento dos dados.
- A descrição de processos de montagem e soldagem de PCIs apresentada no Apêndice A pode ser aplicada para projeto de protótipos simples e de alta complexidade.
- O projeto do protótipo do módulo de filtragem digital para repetidores foi bem sucedido. Os resultados obtidos através deste protótipo foram bem próximos aos obtidos usando o kit Cyclone III. O protótipo pode ser considerado a mais complexa PCI desenvolvida pela equipe do Laboratório de Processamento de Sinais e testou a capacidade de se trabalhar com placas de oito camadas e chips BGA, por exemplo.

Deve-se destacar que os métodos para reconstrução de sinais em FI não foram encontrados na literatura acadêmica e poderiam ser considerados originais. Contudo, algumas patentes [4, 5, 6], apesar de não muito claras, citam técnicas similares aos métodos discutidos. Sendo assim, esse trabalho não se manifesta como propondo um novo método para reconstrução em FI. Mas certamente o mesmo foi uma redescoberta independente dos métodos citados.

Outro ponto a destacar é que antes desse trabalho os algoritmos de PDS desenvolvidos pela equipe eram tipicamente implementados em microcomputadores. Assim, o trabalho pode ser considerado um marco, indicando a qualificação necessária para implementação de PDS em tempo real utilizando-se FPGAs.

Como sugestão para trabalhos futuros pode-se citar a incorporação do protótipo desenvolvido a um repetidor comercial para telefonia celular. Essa etapa será feita nas instalações da empresa que financiou parte desse trabalho. Outro desdobramento é utilizar o know-how adquirido em FPGA para projetar o hardware de um modem ADSL, a ser usado nas pesquisas em DSL (*digital subscriber line*) que ocorrem na UFPA. Do ponto de vista mais acadêmico, um trabalho futuro é a otimização dos filtros utilizados. Há diversas pesquisas em projeto de filtros digitais para FPGA e essas poderiam conduzir a melhorias de desempenho.

Apêndice A

Processos de montagem e soldagem de placas de circuito impresso

A.1 Introdução

A implementação prática de um hardware para o processamento digital de sinais exige atualmente o conhecimento de diversas tecnologias. Uma delas é o da confecção de placas de circuito impresso (PCI). Recentemente a UFPA deu um salto em termos de tecnologia para projeto de placas PCI com a criação do Laboratório de Sensores e Sistemas Embarcados (LASSE). O know-how e equipamentos do LASSE permitiram que esse trabalho chegasse à etapa de confecção e teste de uma placa relativamente sofisticada, que segundo histórico do Laboratório de Processamento de Sinais (LaPS), é a placa projetada na UFPA que alcança maior complexidade em termos de DSP. Dessa forma, o presente capítulo faz uma introdução aos processos de montagem de PCIs e soldagem dos componentes nas mesmas. Um dos objetivos é fornecer um material de referência para futuros trabalhos que envolvam a confecção de PCIs.

A necessidade de se fazer conexões elétricas de forma simples e portátil entre vários componentes eletrônicos permitiu o aparecimento da placa de circuito impresso (Figura A.1 [33]). PCIs oferecem tanto meios para conectar eletricamente os componentes eletrônicos assim como suporte físico aos mesmos.

As placas de circuito impresso são geralmente compostas por dois componentes principais:

- **Base** - placa fina de material insulado, oferece suporte mecânico para todos os

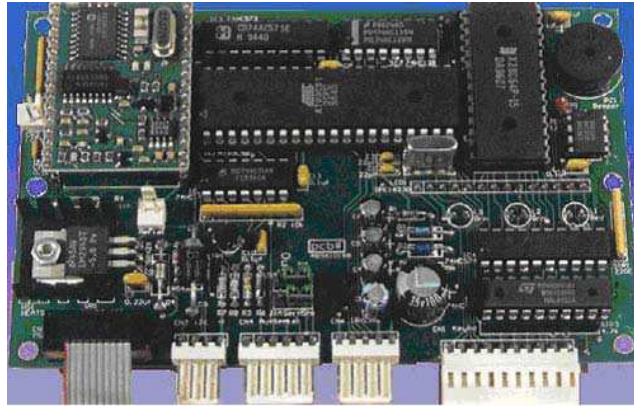
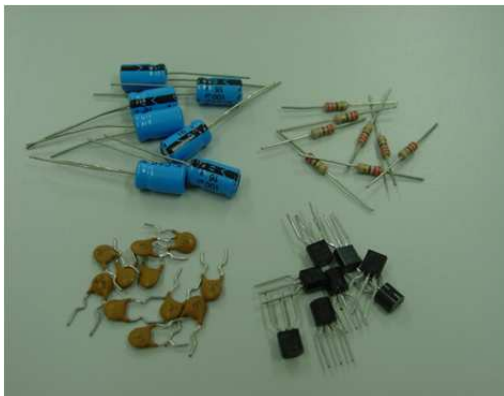


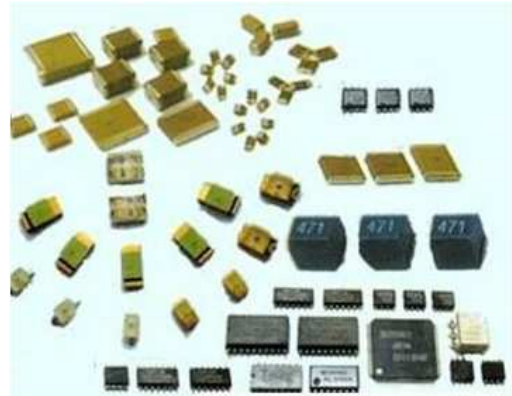
Figura A.1: PCI composta de componentes THT e SMT.

componentes e toda a área de cobre na placa.

- **Condutores** - geralmente cobre puro, com função de conectar eletricamente os componentes e oferecer pontos de soldagem (fixação) dos mesmos na placa.



(a)



(b)

Figura A.2: Principais tecnologias de componentes eletrônicos: (a) Componentes THT. (b) Componentes SMT.

Quando se trata da montagem de placas eletrônicas, duas principais tecnologias de componentes eletrônicos podem ser destacadas. Estas são: a *Through Hole Technology* (THT) (Figura A.2(a) [33]) e a *Surface Mount Technology* (SMT) (Figura A.2(b) [33]).

A SMT permitiu o surgimento de componentes muito pequenos, que ocupam menos espaço e permitem montar grandes quantidades de componentes em uma PCI relativamente pequena. Este é o principal motivo da predominância dos componentes SMT na indústria de placas eletrônicas, embora existem ainda certas limitações em relação a alguns tipos de

componentes que só podem ser encontrados na tecnologia THT, como por exemplo, alguns tipos de conectores e transformadores.

A montagem em massa de componentes eletrônicos anda de mãos dadas com a necessidade da soldagem em massa dos mesmos. Esta necessidade impulsionou o desenvolvimento de máquinas, técnicas e processos para soldagem em massa de componentes eletrônicos de forma eficaz e em menor tempo possível.

Atualmente, existem basicamente dois tipos de processos empregados na soldagem em massa de componentes eletrônicos:

1. **Processo de solda por onda e;**
2. **Processo de solda por refusão.**

O processo de solda por onda é aplicado principalmente na solda de componentes THT, mas também, pode ser empregado na solda de componentes SMT (para alguns tipos de PCA-*Printed Circuit Assembly*).

O processo de solda por refusão é normalmente aplicado na solda de componentes SMT, mas também pode ser empregado na solda de componentes THT através de uma técnica chamada de *refusão intrusiva* [34, 35].

Ambos os processos supracitados dependem de dois fatores principais:

1. Tipo de placa- face simples ou dupla face e
2. Tecnologia dos componentes.

Os dois processos serão descritos com maior detalhe nas seções A.2.2 e A.3.

A.2 Conceitos e materiais de soldagem

Antes que sejam definidos os processos de montagem e soldagem de placas eletrônicas, faz-se necessário definir primeiramente alguns conceitos e materiais referentes à soldagem em geral .

A.2.1 O conceito de soldagem

Soldagem é o processo de juntar duas ou mais peças de metal através de uma liga de metal com temperatura de fusão mais baixa do que a dos metais a serem soldados [36]. Na

eletrônica, a soldagem de componentes eletrônicos é chamada de *soldagem branda* e é efetuada usando ligas de Chumbo/Estanho (37/63) ou ligas *Lead-Free* (livres de chumbo).

Existem três principais variáveis no processo de soldagem que são:

1. Temperatura;
2. Superfície dos metais envolvidos;
3. Fluxo;
4. Liga de Solda.

A garantia de uma boa solda ocorre quando são atendidas cada um dos requisitos específicos dos itens acima, em outras palavras, as superfícies dos metais devem estar livres de sujeiras e óxidos, deve se aplicar o fluxo e a solda correta para o processo e por fim, deve se aplicar uma **temperatura adequada por um período de tempo adequado** tanto na solda como nos *pads* (áreas de cobre na PCI correspondentes aos pinos/terminais de um componente) e terminais dos componentes. Depois da soldagem, a solda deve ter um aspecto claro e brilhante, o que garante que o processo foi bem executado.

A.2.1.1 O conceito de molhabilidade

A soldagem de dois metais requer que estes estejam “molhados” pela liga de solda [37]. O conceito de molhabilidade, pode ser explicado tomando-se como exemplo, superfícies de dois pratos de porcelana, uma com superfície coberta por uma fina camada de gordura e outra com superfície limpa. Se for jogado água nos dois pratos, observar-se-á que no prato com a camada de gordura a água forma bolhas em algumas partes da superfície enquanto outras se mantêm sem água. Por outro lado, no prato com superfície limpa, a água se adere à superfície do prato de tal forma que se torna muito difícil de ser retirada.

O mesmo conceito se aplica também ao processo de solda de componentes eletrônicos. Os metais devem estar quimicamente limpas (livre de óxidos na superfície) para que a soldagem aconteça [37], ou seja, a solda deve “molhar” os metais da mesma forma que a água molha o prato com superfície limpa. Por outro lado, da mesma forma que a água forma bolhas e não adere no prato com gordura, qualquer sujeira, por mais fina que seja (pode até ser invisível ao olho nu) fará com que a solda forme bolhas, não molhe o metal e não promova a soldagem [37].

Conclui-se então que apenas superfícies quimicamente limpas podem ser molhadas por solda e conseqüentemente soldadas.

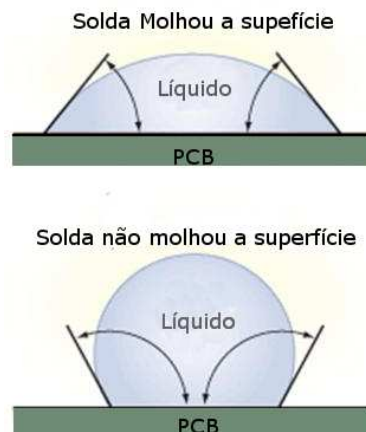


Figura A.3: Fluxo para soldagem manual e por onda.

As diferenças entre uma solda que “molhou” os metais e a que não, podem ser observadas depois da solidificação da solda observando o ângulo formado pela superfície da solda com a superfície do metal base (Figura A.3). Este ângulo dá uma ideia da qualidade da solda e da soldabilidade do metal e é a única forma de fazer uma inspeção visual não destrutiva [37].

Geralmente a solda que não “molhou” o metal pode ser removida facilmente, ao contrário da que molhou, que só poderá ser removido esquentando a solda até esta se fundir.

A.2.1.2 O Fluxo

No item anterior, foi discutido o conceito de molhabilidade e concluiu-se que apenas superfícies de metal quimicamente limpas podem ser “molhadas” e soldadas.

A maioria dos metais oxida facilmente em contato com o ar. A camada de óxido que se forma na superfície dos metais impede o molhamento adequado destes e, conseqüentemente, uma boa soldagem. Portanto, faz-se necessário remover tais óxidos e promover uma boa molhabilidade e soldabilidade.

O material empregado para a limpeza dos óxidos nas superfícies dos metais é chamado de fluxo (Figura A.4 [32]). Fluxo é um composto químico, que quando aplicado, reage quimicamente com os óxidos, removendo-os das superfícies dos metais.

O fluxo é responsável não só pela remoção das camadas de óxidos nos metais, mas também pela prevenção do reaparecimento destes durante o processo de soldagem [37]. O fluxo pode ser encontrado em dois estados principais, líquido e pastoso. O fluxo líquido é geralmente aplicado na solda por onda, enquanto que o pastoso é geralmente aplicado em processos de solda manual. Alguns tipos de fios de solda já incluem o fluxo na sua composição, mas ainda assim pode ser necessário aplicar mais fluxo (líquido ou pastoso) no processo de

solda, principalmente quando as superfícies dos metais estão muito oxidadas.



Figura A.4: Fluxo para soldagem manual e por onda.

A.2.1.3 Solda e pasta de solda

Solda ou pasta de solda são materiais usados para unir dois metais no processo de soldagem de componentes eletrônicos. A solda desempenha dois papéis principais em uma PCA [37]:

1. Une mecanicamente as partes soldadas;
2. Oferece condutividade elétrica entre os terminais dos componentes elétricos.

Atualmente, existem dois tipos principais de liga de solda usados na indústria de montagem de placas eletrônicas: a liga eutética Chumbo/Estanho e a liga *Lead-free* (sem chumbo). A principal diferença das duas ligas se refere à temperatura de fusão. As ligas eutéticas chumbo estanho (63/37 %) fundem tipicamente a uma temperatura de 183°C , enquanto que as ligas *Lead-free*, como por exemplo as ligas Sn-Ag-Cu, fundem tipicamente à temperatura de 217°C [38].

Na indústria de placas eletrônicas, as ligas de solda são comercializadas em três formas principais: Barras, fios e pastas (Figura A.5 [32]).

Ligas de solda em fio são geralmente aplicadas em processos de solda manual e as em barra são usadas principalmente na solda a onda e em alguns tipos de solda manual, como *cadinho* por exemplo.

A pasta de solda é comumente usada no processo de soldagem por refusão e é geralmente aplicada na PCI usando um stencil. O stencil pode ser uma placa fina de aço

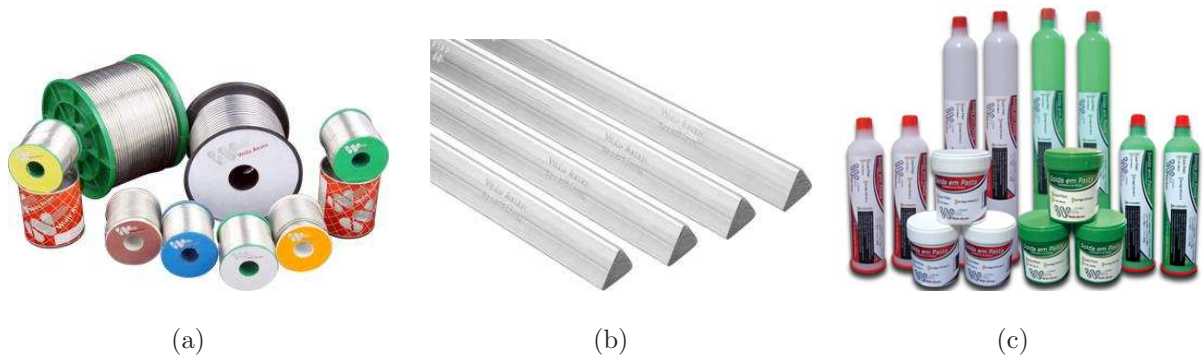


Figura A.5: Diferentes tipos de solda aplicadas na indústria de montagem de placas eletrônicas: (a) Solda em fio. (b) Solda em barra. (c) Solda em pasta.

(Figura A.6(a) [30]) ou uma folha de polímero especial (Figura A.6(b) [30]), no qual são feitos furos referentes aos *pads* da PCI usando os arquivos de layout.

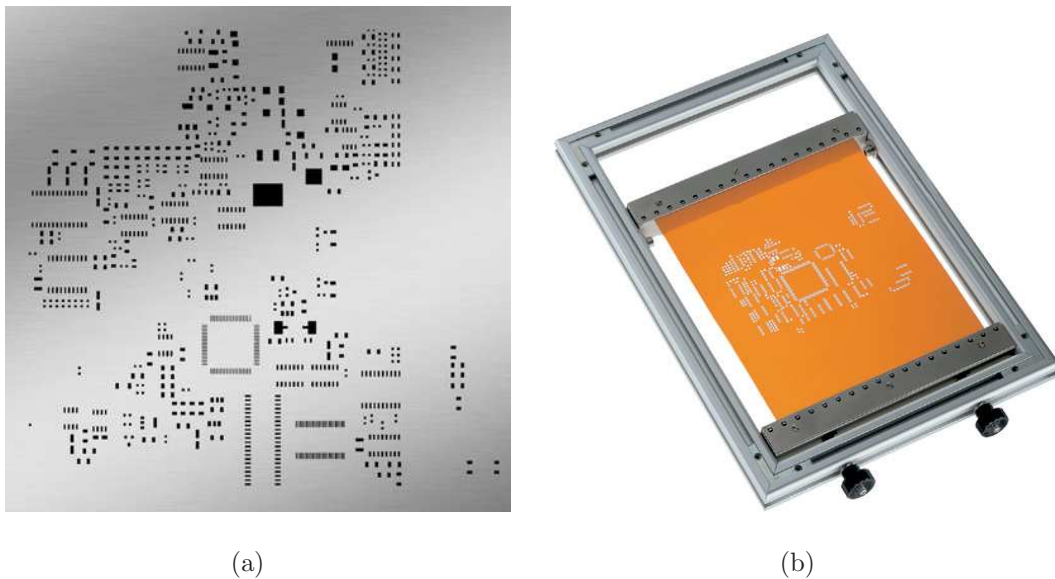


Figura A.6: Tipos de stencil aplicados na indústria de placas eletrônicas. (a) Stencil de aço preparado a laser.(b) Stencil de folha de polímero.

A aplicação da pasta de solda usando stencil é ilustrada na Figura A.7 [33]. Primeiramente, o stencil é posicionado por cima da placa e os seus furos são alinhados com os respectivos *pads* na placa. Depois, a pasta de solda é empurrada pelo rodo para dentro dos furos do stencil e depositado nos *pads* da placa. Este processo deve ser executado com muita precisão para evitar problemas de soldagem.

O stencil é usado para aplicação da pasta de forma automática, através de uma *impressora de pasta de solda* e também para aplicações semi-automática e manual.

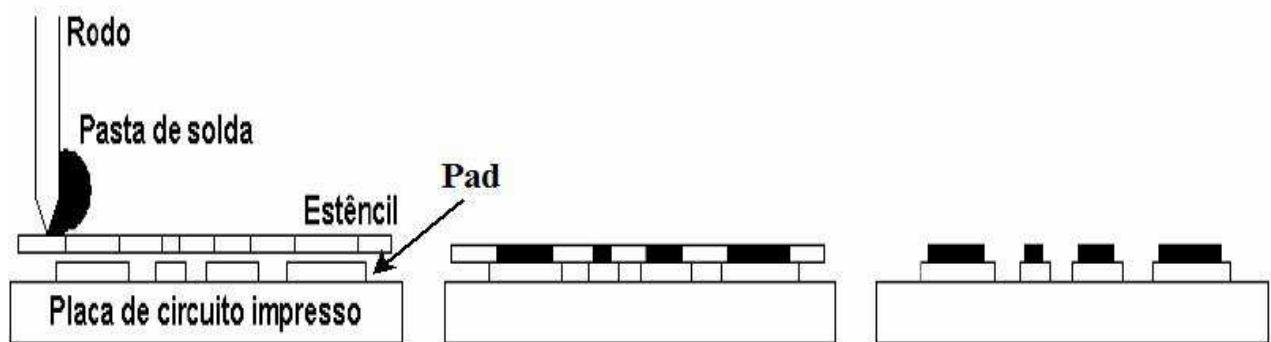


Figura A.7: Esquema do processo de aplicação da pasta de solda por stencil.

Existem várias outras técnicas de aplicação da pasta de solda encontradas na indústria de montagem de placas eletrônicas, como por exemplo, a técnica conhecida como *Jet printer*, que usa tecnologia similar ao das impressoras comuns de jato de tinta no processo de impressão [39].

A.2.2 Processo de solda por onda

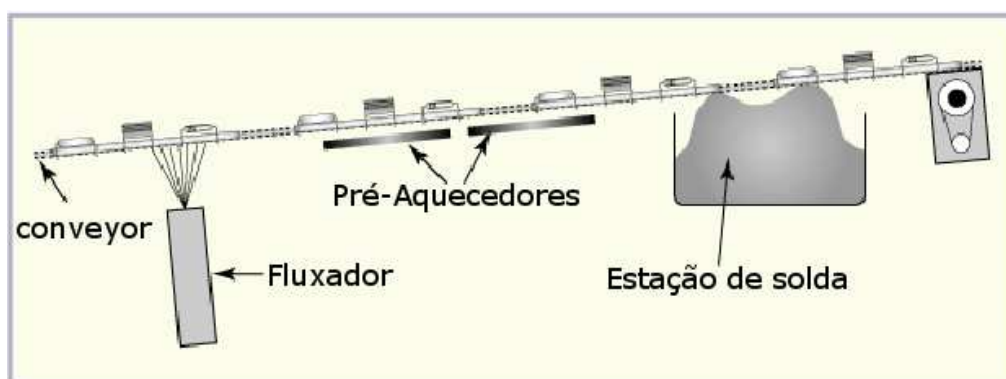
O processo de solda por onda surgiu para permitir a solda em massa de componentes eletrônicos na PCI. Neste processo, o lado *Bottom* (baixo) de uma PCA é banhada por uma onda de solda derretida para soldar os componentes e prover conexões elétricas. Este tipo de processo é mais usado para soldar componentes THT, embora também seja usado para soldar componentes SMT.

Com o aumento da migração dos componentes THT para SMT, a solda por onda vem sendo substituída pela soldagem por refusão. Entretanto, a solda por onda ainda é muito usada devido a existência de certos componentes apenas na tecnologia THT, como por exemplo, alguns tipos de conectores e transformadores.

A Figura A.8(a) mostra o esquema básico de uma máquina de solda a onda, a qual é constituída basicamente por quatro partes principais: *Conveyor*, fluxador, estação de pré-aquecimento e estação de solda.

O *Conveyor* transporta a placa para todas as estações da máquina. No fluxador, o lado Bottom da PCA é banhada pelo fluxo líquido e em seguida pré-aquecida na estação de pré-aquecimento para:

- Ativar o fluxo;



(a)



(b)



(c)

Figura A.8: Máquina de solda por onda. (a) Esquema básico de uma máquina de solda por onda. (b) Máquina de solda por onda. (c) Destaque de estação de solda.

- Evaporar os solventes do fluxo;
- Reduzir o choque térmico entre os componentes, a PCI e a solda.

A PCA aquecida é enviada para a estação de solda onde o lado Bottom é banhada por uma onda de solda líquida que molha os *pads* e os terminais dos componentes promovendo assim a soldagem dos mesmos. O processo é concluído resfriando lentamente a PCA de modo a prevenir o choque térmico e permitir o manuseio da mesma.

Um exemplo de máquina de solda a onda é apresentada na Figura A.8(b) [40]. Na Figura A.8(c) [40] é destacada o momento em que uma PCA passa por uma estação de solda.

A.3 Processo de solda por refusão

Solda por refusão é o processo no qual a pasta de solda previamente aplicada é derretida através de aplicação de calor em um forno de refusão (Figura A.9(a) [41]).

Como dito anteriormente, este tipo de processo é usado principalmente para solda de componentes SMT, embora também possa ser empregada para soldar componentes THT, através de uma técnica chamada de *refusão intrusiva* [34, 35].

Neste processo, a temperatura do forno deve ser rigorosamente controlada para evitar sub/sobre aquecimento das partes envolvidas (PCI e componentes, por exemplo). Ainda, uma variação muito rápida e/ou uma temperatura muito alta (acima de uma certa tolerância) pode provocar problemas na soldagem (por exemplo, *solder balls*) e/ou danificar os componentes. Por outro lado, se a PCA não for aquecida suficientemente, não ocorrerá uma soldagem apropriada, ocasionando assim possíveis soldas frias e/ou não soldagem dos componentes.

Existem dois tipos principais de fornos de refusão na indústria de montagem de placas eletrônicas: *forno de infravermelho (IR)* e de *convecção forçada* [42]. Estes tipos de fornos são geralmente constituídos por várias zonas de aquecimento e uma ou mais zonas de resfriamento (Figura A.9 [41]). A medida da temperatura em cada zona de toda a linha de soldagem versus o tempo é chamado de *Perfil Térmico*.

A.3.1 Perfil térmico de solda por refusão

O perfil térmico é um gráfico da curva de temperatura versus tempo (Figura A.10 [32]) para cada zona do forno durante todo o processo de soldagem. A definição do perfil térmico

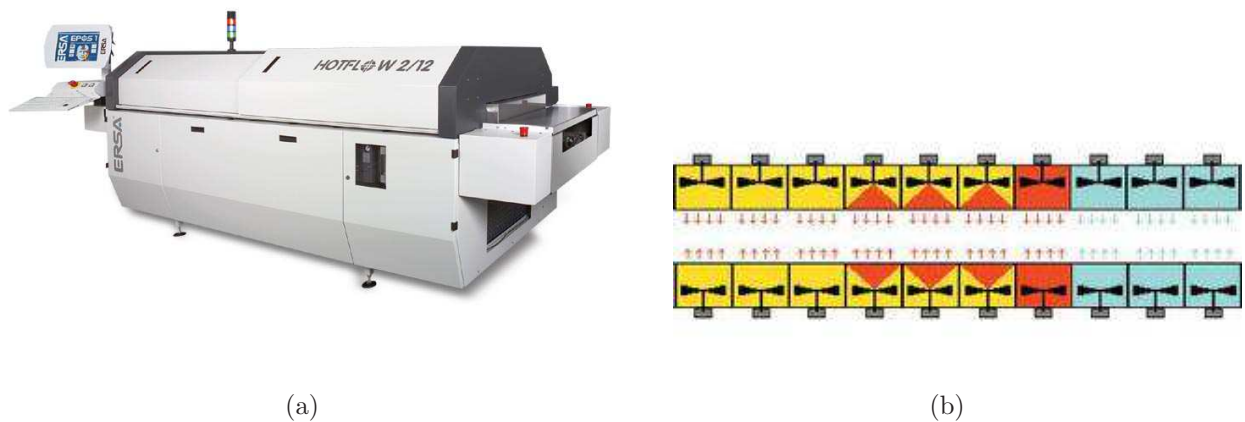


Figura A.9: Exemplos de forno de refusão. (a) Forno de refusão. (b) Exemplo de zonas de aquecimento e resfriamento.

de uma PCA é uma das principais tarefas no processo de solda por refusão. O perfil térmico de uma PCA deve ser elaborado levando em conta os seguintes principais fatores [43];

- Composição da pasta de solda;
- Tamanho da placa;
- Densidade por área de componentes na placa;
- Tipos de componentes na placa.

O perfil térmico é fortemente dependente da pasta de solda (solda e fluxo). A pasta de solda dita o regime de temperatura, enquanto que o fluxo contido neste dita os requisitos de refusão. O perfil térmico é específico para cada tipo de placa, assim como para cada tipo de forno.

O perfil térmico de refusão é dividido em quatro fases distintas para acomodar o perfil de temperatura desejado [43]:

1. Pré-aquecimento
2. Imersão térmica ou ativação
3. Refusão e
4. Resfriamento

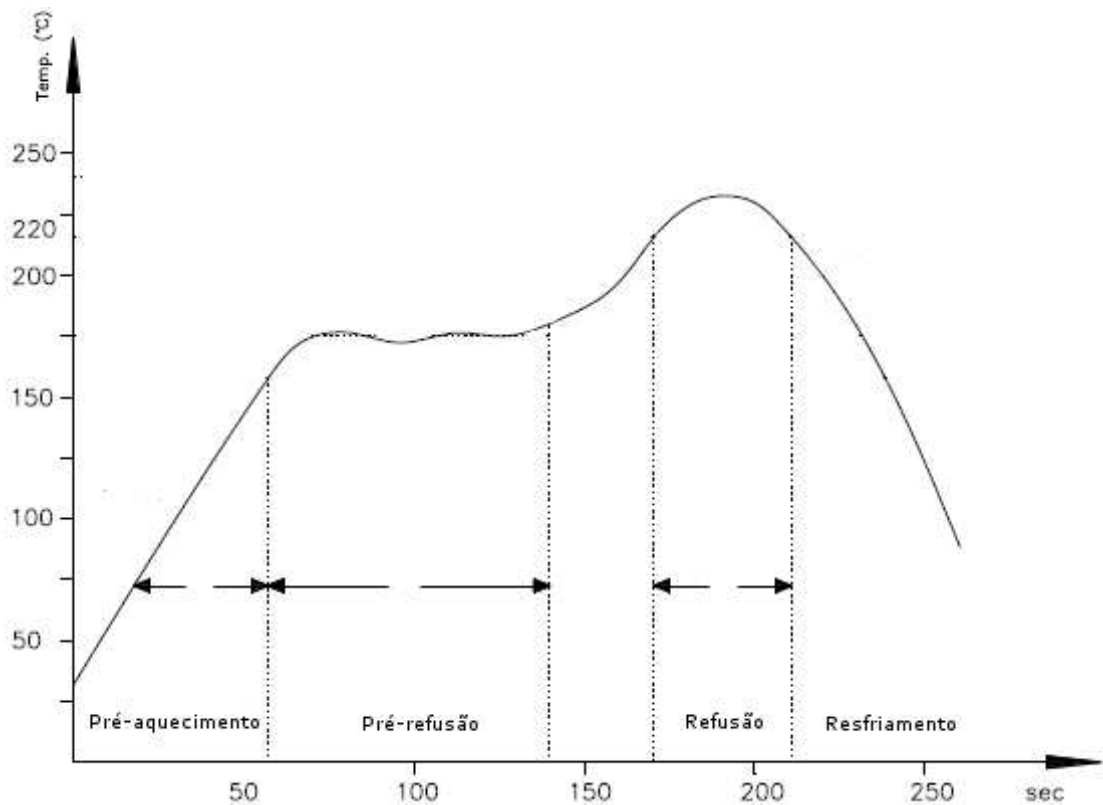


Figura A.10: Gráfico típico de perfil térmico de solda por refusão.

A.3.1.1 Pré-aquecimento

O objetivo desta primeira fase é elevar a temperatura da PCA a partir da temperatura ambiente até a temperatura de pré-refusão (tipicamente, 100 °C para ligas eutéticas Chumbo/Estanho e 150 °C para ligas livres de chumbo) [44]. A taxa de aumento de temperatura é um fator crítico nesta fase. Tipicamente, esta taxa varia entre 2 a 4 °C/s (max) [45]. Variações muito rápidas podem causar fissuras no encapsulamento e danificar os componentes eletrônicos, devido ao choque térmico provocado pelo aumento brusco da temperatura. Ainda, variações muito lentas de temperatura podem provocar fervimento dos líquidos contidos na pasta de solda, fazendo-a salpicar e formar pequenas bolas de solda (*solder balls*) fora dos *pads*. Estes *solder balls*, dependendo dos seus tamanhos, poderão causar curtos entre terminais adjacentes durante a refusão.

A.3.1.2 Pré-refusão ou ativação

Esta é a fase com maior tempo de duração (60 – 120 segundos) em todo o processo. Caracterizada por nenhum ou lento aumento da temperatura, esta fase começa com temperaturas típicas de 150 °C, para ligas eutéticas Sn/Pb e 200 °C para ligas *Lead-free*

e se estende até próximo da temperatura de fusão (temperatura líquida). Nesta fase, começa a ativação e ação do fluxo na redução dos óxidos nas juntas. É importante que esta fase seja longa o suficiente para garantir que o fluxo tenha tempo e energia suficiente para penetrar nas superfícies dos metais e limpar os óxidos nos terminais, *pads* e solda. Ainda, por outro lado, permitir que os componentes na placa de maior e menor massa, assim como a solda em todas as áreas possam atingir a mesma temperatura de equilíbrio. Temperaturas muito altas nesta fase resultam na formação de pequenas *solder balls* e na evaporação precoce do fluxo. Isso resulta na re-oxidação das juntas e da solda nos momentos críticos antes do início da refusão, o que impede uma boa molhagem das juntas e, conseqüentemente, a formação eficaz da junta de solda [43]. Por outro lado, temperaturas muito baixas impossibilitarão a ativação completa do fluxo, impedindo uma molhagem adequada das juntas. Ao término desta fase, as juntas deverão estar livres de óxidos e a PCA deverá atingir um equilíbrio térmico, com temperatura logo abaixo da temperatura de fusão da pasta de solda para facilitar a transição desta fase para a fase de refusão.

A.3.1.3 Refusão

Nesta fase é importante que toda a estrutura das juntas e a pasta de solda sejam aquecidas acima do ponto de fusão da pasta de solda (tipicamente 183 °C para ligas eutéticas Sn/Pb e 217 °C para ligas livres de chumbo [44]) para garantir que estejam suficientemente aquecidos para a refusão. A temperatura máxima permitida em todo o processo de refusão é chamada de “temperatura de pico” ou “pico de refusão”. Devido a incertezas do processo, como variações no desempenho do forno e disparidades da massa térmica da PCA, a temperatura de pico é escolhida para ser bem acima do ponto de fusão da solda, geralmente na ordem de 25–50° C [43]. A taxa de aumento da temperatura de fusão até a temperatura de pico não deve ultrapassar 3 °C/s [44]. Ainda, deve-se tomar cuidado para não ultrapassar os limites máximos e taxas de aquecimento de qualquer componente com sensibilidade térmica. A temperatura de pico deve ser limitada pelo componente com menor tolerância a altas temperaturas na placa.

Um outro fator importante no processo de refusão é o “tempo acima do líquido” (*Time above liquidous*, TAL). O TAL determina o tempo em que a temperatura do processo é maior que a temperatura de fusão da solda, ou seja, o tempo em que a solda se mantém líquida. Segundo [44], o TAL deve variar entre 60 a 150s (para ambas as ligas).

A.3.1.4 Resfriamento

O resfriamento é a última fase do processo. Nesta fase a solda líquida é esfriada abaixo da temperatura de fusão e dá-se a formação dos filetes das juntas de solda. O controle da taxa de resfriamento é um fator importante nesta fase. Alta taxa de resfriamento inibe a formação em excesso do composto intermetálico e fortalece as juntas de solda, no entanto, pode provocar choque térmico nos componentes e provocar fissuras nos mesmos. Por outro lado, baixa taxa de resfriamento aumenta a formação do composto intermetálico fazendo com que a junta de solda seja muito dura e frágil, o que pode resultar em rompimento da junta quando submetida a choques mecânicos. É importante que as recomendações de taxa de aquecimento/resfriamento dos componentes sejam atendidas para garantir a integridade dos mesmos. A regra geral é que a taxa de resfriamento seja menor que $6\text{ }^{\circ}\text{C/s}$ [44]. Ao final deste processo, a solda deve ter um aspecto brilhante e com volume adequado e a temperatura da PCA deve ser próxima ou igual a temperatura ambiente.

É importante salientar que os valores apresentados acima são apenas de referência e que para cada tipo de perfil será necessário analisar o boletim técnico da pasta de solda e levantar os requisitos de temperatura para cada uma das fases acima mencionadas. Ainda, deve-se levantar dados de componentes com sensibilidade térmica para restrição da temperatura de pico. O perfil térmico deve ser definido a partir destes dados para garantir sucesso no processo de soldagem.

A.3.2 Monitoramento do perfil térmico

O perfil térmico final de uma PCA não é determinado apenas pelos ajustes da temperatura no forno de refusão, e sim, pela temperatura vista pela PCA no processo de refusão. Para garantir que um determinado perfil térmico atenda às especificações desejadas de temperatura de uma PCA é necessário que sejam feitas medidas de temperatura em diferentes pontos da PCA enquanto esta passa pelo forno. Este processo é chamado de *monitoramento de perfil térmico*.

O instrumento usado para monitorar o perfil térmico é chamado de traçador de perfil térmico (Figura A.11(a) [46, 47]). O kit traçador de perfil térmico é geralmente constituído de termopares (Figura A.11(b)), uma unidade de armazenagem de dados e um software de processamento de dados.

O monitoramento de um perfil térmico pré-definido é realizado acoplando termopares em pontos específicos na PCA e ao dispositivo de armazenamento. O traçador de perfil é então passado em um forno com temperaturas das zonas ajustadas de acordo com o perfil. As

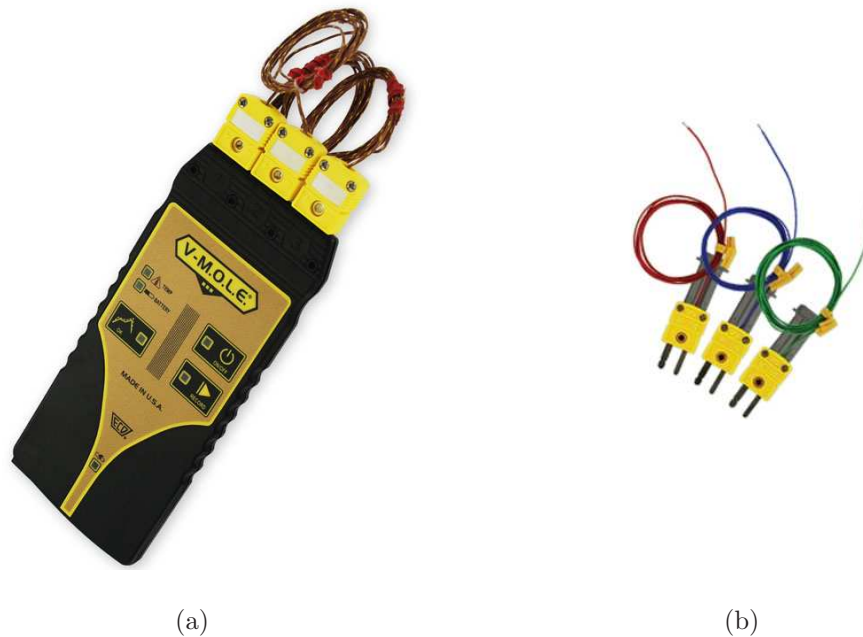


Figura A.11: Kit traçador de Perfil térmico. (a) Traçador de perfil térmico. (b) Termopares.

leituras de temperatura feitas pelos termopares são amostradas e armazenadas no dispositivo de armazenamento e depois baixadas para um computador, através do software do kit. As informações podem então ser plotadas, analisadas, impressas, etc.

Caso temperaturas lidas pelo traçador difiram das configuradas, o perfil térmico é reajustado e este processo é repetido várias vezes até se chegar ao perfil desejado.

O traçador de perfil é usado para dois principais propósitos:

1. Determinar a configuração correta do forno para uma determinada PCA;
2. Verificar a consistência do processo para garantir resultados contínuos.

O posicionamento dos termopares na PCA [48] (Figura A.12 [49]) é um fator fundamental para garantia de uma boa cobertura de medição. Como regra geral, recomenda-se que os termopares sejam posicionados das seguintes formas [46]:

- Posicionar termopares à frente, atrás, e nas laterais da PCA, para verificar aquecimento uniforme.
- Posicionar termopares nos terminais dos componentes com maior e menor massa térmica, para verificar se estão atingindo a mesma temperatura de equilíbrio
- Posicionar termopares nas áreas de maior e menor densidade de componentes, para verificar equilíbrio térmico.

- Posicionar termopares em componentes sensíveis, para evitar danos devido ao sobreaquecimento.

Na prática é provável que os terminais dos componentes maiores (maior massa térmica) não atinjam a mesma temperatura que os terminais dos componentes menores (menor massa térmica). O mesmo também se aplica para áreas com menor e maior densidade de componentes. Entretanto é fundamental que todos os elementos da PCA atinjam temperaturas acima da temperatura de fusão da solda.



Figura A.12: Exemplo de acoplamento de termopar num componente BGA.

A quantificação da robustez de um perfil térmico é dada pelo indicador PWI (*Process Window Index*) [50]. O PWI indica o quanto o perfil térmico levantado está próximo dos limites do perfil desejado. O uso dos valores do PWI permite que o perfil térmico seja medido com precisão, analisado e caso necessário alterado para atender as especificações de soldagem por refusão.

A.4 Fluxos de montagem e soldagem de placas eletrônicas

Como dito anteriormente, o fluxo de montagem e soldagem de uma placa eletrônica depende basicamente de dois principais fatores: tecnologia dos componentes e tipo de PCI (face simples ou dupla face). Para cada tipo de combinação existe um tipo de processo aplicado.

Esta seção, apresenta os principais tipos de PCA encontrados na indústria de montagem de placas eletrônicas e seus respectivos fluxos de montagem e soldagem.

A.4.1 Fluxo de montagem para PCA com tecnologia THT

Para PCA's contendo apenas componentes THT geralmente tem-se apenas uma configuração que é a seguinte:

A.4.1.1 Componentes THT no Top

Este é relativamente o tipo de PCA mais simples e de mais simples processo entre todos. O esquema da configuração e o fluxo do processo são apresentados nas Figuras A.13 e A.14 [33], respectivamente.

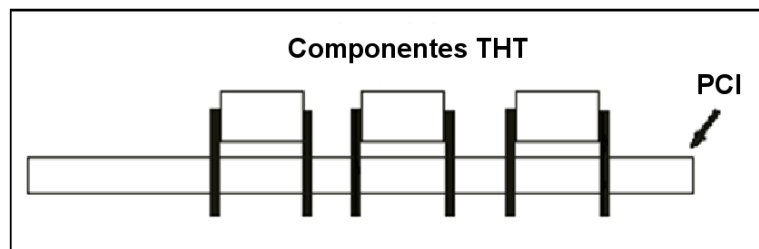


Figura A.13: Esquema de uma PCA com componentes THT no Top.



Figura A.14: Fluxo de montagem e soldagem de uma PCA com componentes THT no Top.

A.4.2 Fluxo de montagem para PCA com tecnologia SMT

Para PCA's contendo apenas componentes SMT podem ser destacadas as seguintes configurações e seus respectivos processos de montagem e soldagem:

A.4.2.1 Componentes SMT no Top

Quando a PCA possui componentes SMT montados apenas no TOP da placa (Figura A.15 [33]), a solda por refusão é o processo mais indicado. O esquema para montagem

e soldagem deste tipo de PCA é apresentado na Figura A.16 [33]. Aplica-se primeiramente a pasta de solda, insere-se os componentes e executa-se a solda por refusão.

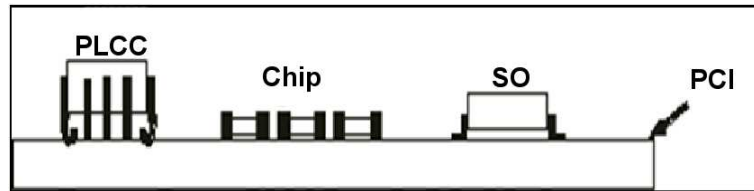


Figura A.15: Esquema de uma PCA com componentes SMT no Top.

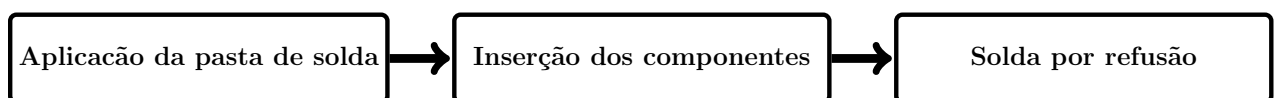


Figura A.16: Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top.

A.4.3 Componentes SMT no top e Bottom

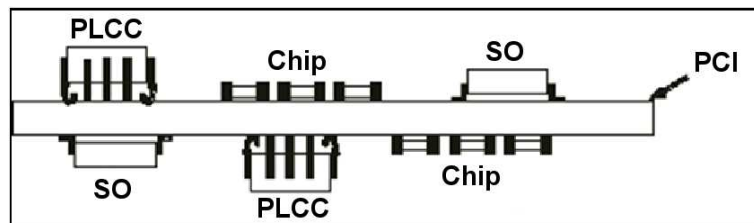


Figura A.17: Esquema de uma PCA com componentes SMT no Top e Bottom.

Quando a PCA possui componentes SMT em ambos os lados da PCA (Figura A.17 [33]), a solda por refusão é o processo mais apropriado. O esquema para montagem e soldagem deste tipo de PCA é apresentado na Figura A.18 [33]. É recomendável que o lado Bottom seja montado e soldado primeiro devido este geralmente conter o menor número de componentes. Quando a placa é virada, a fixação dos componentes se dá através da tensão superficial da solda líquida. Se existirem componentes muito pesados, pode ser que seja necessário aplicar adesivo antes do processo de soldagem.

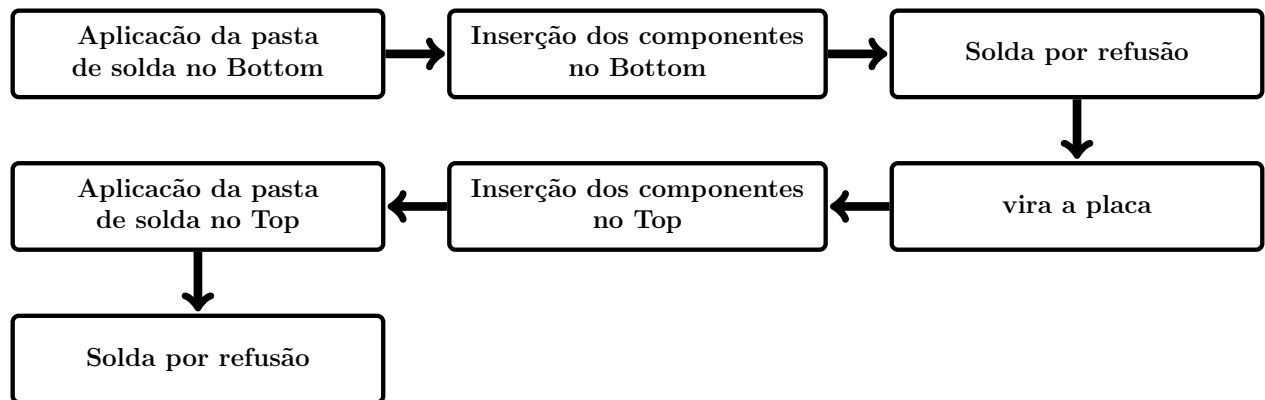


Figura A.18: Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e no Bottom.

A.4.4 Fluxo de montagem para PCA com tecnologia mista (THT e SMT)

Para PCA's com tecnologia mista, isto é, componentes SMT e THT (Figura A.19 [33]), tem-se as seguintes possíveis configurações e seus respectivos processos de montagem e soldagem:

A.4.4.1 Componentes SMT e THT no TOP

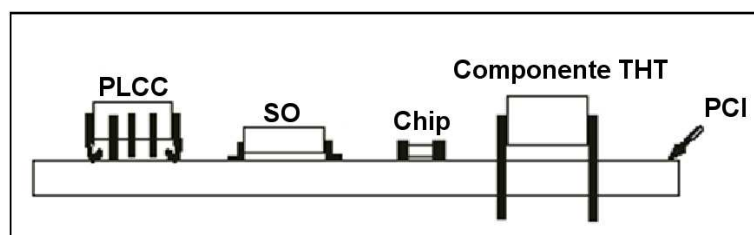


Figura A.19: Esquema de uma PCA com componentes SMT e THT no Top.

Geralmente, este tipo de PCA requer os dois processos de soldagem (refusão e onda). A sequência de montagem e soldagem é ilustrada na Figura A.20 [33]. Primeiro, os componentes SMT/Top são inseridos e soldados por refusão e depois os THT são inseridos e soldados por onda.



Figura A.20: Fluxo de montagem e soldagem de uma PCA com componentes SMT e THT no Top.

A.4.4.2 Componentes THT no TOP e SMT no Bottom

Geralmente a soldagem deste tipo de PCA (Figura A.21 [33]) é realizada na onda, onde ambos os tipos de componentes são soldados em uma única vez. O fluxo de montagem e soldagem é ilustrado na Figura A.22 [33].

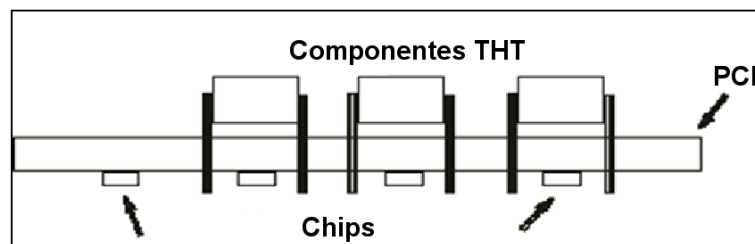


Figura A.21: Esquema de uma PCA com componentes THT no TOP e SMT no Bottom.

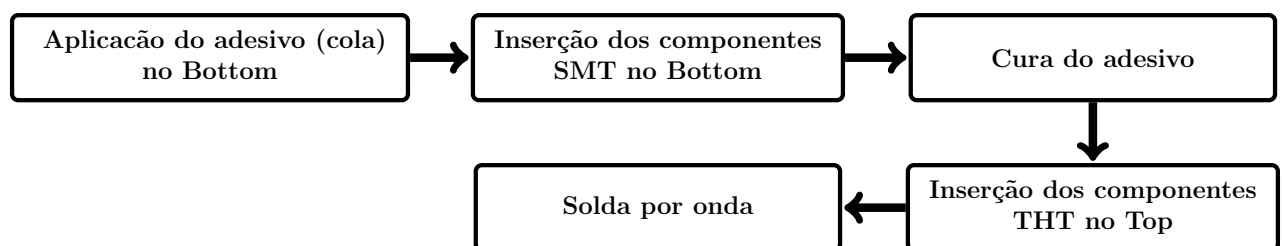


Figura A.22: Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e THT no Bottom.

O adesivo é aplicado para fixar os componentes SMT na PCA e evitar que sejam removidos pela onda de solda.

A.4.4.3 Componentes SMT no TOP e no Bottom e THT no TOP

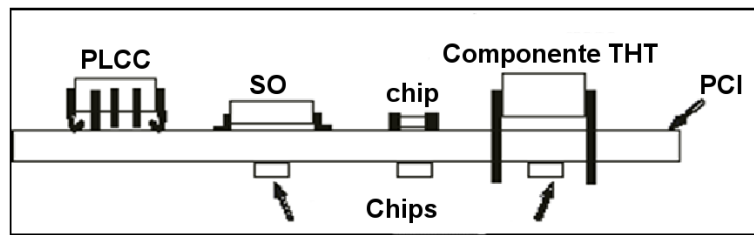


Figura A.23: Esquema de uma PCA com componentes SMT no TOP e no Bottom e THT no TOP.

A imagem ilustrativa deste tipo de PCA é apresentada na Figura A.23 [33]. Este tipo de PCA demanda o maior número de processos dentre todos. A Figura A.24 [33] ilustra a sequência de montagem e soldagem dos componentes. Primeiramente os componentes SMT/Top são montados e soldados por refusão. Aplica-se o adesivo no lado Bottom para fixar os componentes SMT/Bottom. Em seguida os componentes THT/Top são inseridos e ambos são soldados por onda.

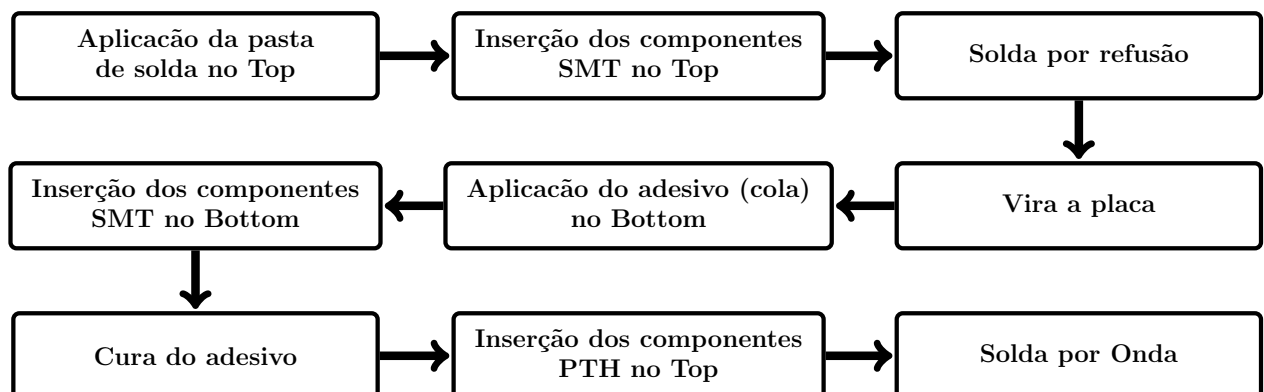


Figura A.24: Fluxo de montagem e soldagem de uma PCA com componentes SMT no Top e no Bottom e THT no Top.

A.5 Folha de processos

A montagem de componentes eletrônicos em uma PCI pode ser um processo bastante complicado, principalmente quando é executada manualmente. Questões como troca de polaridade e de componentes são falhas bastante comuns na montagem manual. Para montagens automáticas, pode-se dizer que um dos fatores mais importantes é o tempo, ou seja, a necessidade de executar a montagem em menor tempo possível. Os fatores citados e

outros, podem ser melhorados através de planejamentos de montagem ou através de elaboração de uma *Folha de processos*. Folhas de processos são nada mais que documentos elaborados com o planejamento de montagem de componentes eletrônicos em uma PCI. A folha de processos permite uma execução da montagem de forma organizada e eficaz. A folha de processos é normalmente dividida em várias estações de montagem em que cada estação monta um certo número de *Part Number* um número de identificação e/ou controle atribuído a um determinado componente) e o número de estações depende do número de *Part Number* existentes na placa.

Para o planejamento de uma folha de processos, recomenda-se seguir as seguintes regras:

- Definir o tipo de processo de soldagem pela qual a placa será submetida antes de começar a folha de processos;
- Montar primeiro os componentes menores, e depois os maiores;
- Distribuir os componentes entre as estações de forma equilibrada;
- Montar na mesma estação componentes com o mesmo *Part Number*;
- Deixar os componentes com encapsulamentos mais complexos (BGA's, por exemplo) para o final da montagem;
- Montar primeiro os componentes SMT e depois os THT.

A Figura A.25 ilustra um exemplo de uma de uma folha de processos. O termo “**PO-Estação 3-TOP SMD**” no cabeçalho da folha significa: Estação de montagem 3, lado TOP e componentes SMD.

A folha é constituída de duas áreas - uma contendo a imagem ilustrativa da PCA onde são destacados através de um código de cores os componentes que serão montados naquela determinada estação. A outra área é composta de uma tabela contendo as colunas *icon* ou ícone, IPN (*Internal Part Number*) ou Part Number Interno e *Quantity* ou Quantidade. A coluna *icon* traz informações sobre o formato dos componentes e cada um é ilustrado em uma determinada cor correspondente a sua cor ilustrada na imagem da PCA ao lado. Já a coluna IPN traz informações do Part Number interno. Por fim a coluna *Quantity* indica a quantidade de um determinado Part Number a ser montado naquela estação.

A montagem realizada através de uma folha de processos é executada da seguinte forma: Os componentes eletrônico devem ser separados em compartimentos etiquetados com cores correspondentes às atribuídas na folha de processos. Isso deve ser feito para cada estação. Depois, a montagem deve ser executada seguindo a ordem estabelecida na folha, começando de cima para baixo na coluna *icon* ou IPN.

A folha de processos pode diminuir significativamente o número de falhas por montagem, o tempo na execução da montagem e o estresse do operador.

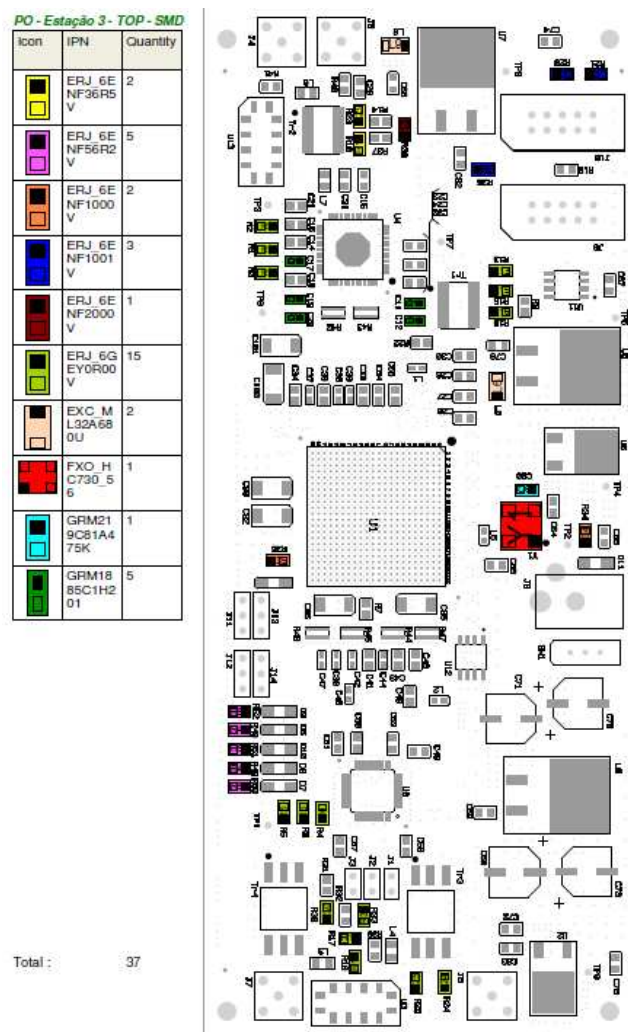


Figura A.25: Exemplo de folha de processos de uma PCI.

A.6 Conclusão

Neste capítulo foram introduzidos conceitos básicos de montagem e soldagem de placas eletrônicas englobando materiais empregados nos processo de soldagem, processos de solda por onda e refusão e fluxos de montagem aplicados para diferentes tipos de configurações de PCIs. Questões como importância do perfil térmico na solda por refusão foram apresentadas e explicadas. Por fim, foram introduzidos conceitos sobre folhas de processo e como podem ser úteis nos processos de montagem de PCIs.

No próximo capítulo são apresentados alguns resultados práticos sobre filtragem digital

e reconstrução de sinais em FI e também sobre a prototipagem de um módulo de filtragem digital para repetidores de celular.

Referências Bibliográficas

- [1] J. Mitola and J. Gerald Q. Maguire, “Cognitive radio: making software radios more personal,” *Personal Communications, IEEE*, vol. 6, no. 4, pp. 13–18, 1999.
- [2] Wikipediaa, “Intermediate frequency.”
- [3] M. Y. Feng, “Frequency translation method for low frequency variable gain amplification and filtering,” Master’s thesis, Massachusetts Institute of Technology, 2007.
- [4] J. A. Garceran, W. J. Kaminski, and A. Kolsrud, “Digital transmitter sytem and method,” 2005, patent No.: US 6,944,238 B2.
- [5] C. A. Dhalla and M. S. Munoz, “Analog reconstruction of digital signal,” 2004, patent No.: US 6,806,820 B1.
- [6] A. E. Waltho and J. Shiffer, “Signal generation apparatus, systems, and methods,” 2009, patent No.: US 7,570,702 B2.
- [7] R. G. Lyons, *Understanding Digital Signal Processing*. Prentice Hall PTRl, 2001.
- [8] A. Oppenheim and R. Schafer, *Discrete-time signal processing*. Prentice-Hall, 1989.
- [9] S. Haykin and B. V. Veen, *Signals and Systems*. Wiley, 1999.
- [10] Wikipedia, “Log-spectral distance.”
- [11] A. H. Gray and J. D. Markel, “Distance measures for speech processingl,” *IEEE Signal Processing Society*, vol. 24, pp. 380 – 391, 1976.
- [12] B. D. Technology., “Choosing a DSP Processor,” BDTI, Tech. Rep., 1996-2000.
- [13] A. Corp., “FPGAs Provide Reconfigurable DSP Solutions,” Altera Corporation, Tech. Rep., 2001.
- [14] B. D. Technology., “The Evolving Role of FPGAs in DSP Applications,” BDTI, Tech. Rep., 2007.

-
- [15] P. cordeiro, A. Castro, L. Freitas, and A. Klautau, "An fpga-based architecture for digital filtering at intermediate frequency using undersampling," in *10th Microelectronics Students Forum (SForum)*, 2010.
- [16] S. M. Chi-Jui Chou and J. Evans, "Fpga implementation of digital filters," *International Conference on Signal Processing Applications and Technology*, pp. 251–255, 1993.
- [17] A. G. Mónica Arroyuelo, Jorge Arroyuelo, "Fpga-based digital filters using bit-serial arithmetic," Departamento de Informatica Universidad Nacional de San Luis Republica Argentina, Tech. Rep., 2007.
- [18] J. V. Marcos, M. M. Peir, T. Sansaloni, and E. Boemo, "Design and fpga implementation of digit-serial fir filters," *IEEE International Conference on Electronics, Circuits and Systems*, pp. 191–194, 1998.
- [19] J. B. Evans, "An efficient fir filter architecture," *IEEE International Symposion on Circuits and Systems*, pp. 627–630, 1993.
- [20] R. K. Shahnam Mirzaei, Anup Hosangadi, "Fpga implementation of high speed fir filters using add and shift method," *International Conference of Computed Design (ICCD '06)*, pp. 1–4, 2006.
- [21] Y. C. Lim, J. B. Evans, and B. Liu, "An efficient bit-serial fir filter architecture," *In Circuits Systems and Signal Processing*, 1993.
- [22] H. J. G. Ulbrich, "Repetidores celulares," 2011, <http://www.teleco.com.br/tutoriais> , acesso em 10 Fevereiro 2011.
- [23] C. K. Campbell, "Understanding Surface Acoustic Wave (SAW) Devices for Mobile and Wireless Applications and Design Technique," 2004, <http://www3.sympatico.ca/colin.kydd.campbell/>, acesso em 10 de Maio de 2010.
- [24] Fujitsu, "SAW Filter," Fujitsu Laboratories Ltd., Tech. Rep., 2008.
- [25] T. Mathworks, "Filter Design and Analysis Tool," 2010, <http://www.mathworks.com>, acesso em 30 de Janeiro de 2011.
- [26] A. Corp, "FIR Compiler MegaCore Function," 2010, www.altera.com, acesso em 20 de Outubro de 2010.
- [27] A. Corporation, "Dsp development kit, cyclone iii edition," 2011, <http://www.altera.com/products/devkits/altera/kit-cyc3-dsp.html>, acesso em 14 de Dezembro 2010.

-
- [28] A. Technologies, “N9320b rf spectrum analyzer, 9khz to 3.0 ghz,” 2011, [http://www.home.agilent.com/agilent/product.jsx?pn=N9320B&cc\\$=\\$BR&lc\\$=\\$por](http://www.home.agilent.com/agilent/product.jsx?pn=N9320B&cc$=$BR&lc$=$por), acesso em 5 Janeiro 2011.
- [29] I. MathWorks, “Matlab,” June 2011, versão 2009b, www.mathworks.com, acesso em 10 Fevereiro 2011.
- [30] lpkf, “Solder Paste Stencils and Assembly Control Foils,” 2011, <http://www.lpkf.com>, acesso em 22 de Setembro de 2010.
- [31] M. Graphics, “Expedition enterprise - printed circuit board software,” 2011, <http://www.mentor.com/products/pcb-system-design/design-flows/expedition-enterprise/>, acesso em 17 Agosto 2010.
- [32] G. white solder, “Produtos de solda de placas de circuito impresso,” 2011, <http://www.whitesolder.com.br>, acesso em 17 Agosto 2010.
- [33] M. M. Doro, “Sistemática para implementação da garantia da qualidade em empresas montadoras de placas de circuito impresso,” Master’s thesis, Universidade Federal de Santa Catarina, 2004.
- [34] P. Zarrow, “Reflow Soldering of Through-hole Components,” 2009, <http://www.itmconsulting.org/intrusive-reflow-soldering.pdf>, acesso em 18 de Maio de 2010.
- [35] W. E. Coleman and G. Oxx, “Intrusive Reflow of Lead-free Solder Paste,” *SMT Magazine*, no. 10, November 2007, [http://www.ems007.com/pages/zone.cgi?a\\$=\\$61546](http://www.ems007.com/pages/zone.cgi?a$=$61546), acesso em 30 Jan. 2011.
- [36] R. S. Khanpur, *Printed Circuit Boards: Design, Fabrication, Assembly and Testing*. McGraw-Hill, 2006.
- [37] R. W. Woodgate, *The Handbook Of Machine Soldering*, 2nd ed. John Wiley & Sons, inc, 1996.
- [38] Wikipedia, “Solder,” 2011, <http://en.wikipedia.org/wiki/Solder>, acesso em 13 de Fevereiro de 2011.
- [39] Mydata, “Jet printing equipment,” 2011, <http://www.mydata.com>, acesso em 13 de Fevereiro de 2011.

-
- [40] Ersal, “Powerflow Wave Soldering Machine ,” 2011, <http://www.ersa.com>, acesso 14 de marco de 2011.
- [41] —, “Hotflow 2/12, Reflow soldering system ,” 2011, <http://www.ersa.com>, 14 de marco de 2011.
- [42] Wikipediiaa, “Reflow oven,” 2011, http://en.wikipedia.org/wiki/Reflow_oven, acesso em 13 de Fevereiro de 2011.
- [43] C. F. Coombs, *Printed Circuits Handbook*, 5th ed. McGraw-Hill, 2001.
- [44] I. J-STD-020D, “Moisture/reflow sensitivity classification for nonhermetic solid state surface mount devices,” IPC and Jedec, Tech. Rep., 2007.
- [45] A. Becker and M. C. Apell, “Classic PCB thermal profiling on the reflow solder process,” Profiling Primer, Tech. Rep., 2001.
- [46] K. Thermal, “Slim Kic 2000,” 2011, <http://kicthermal.com>, acesso em 15 de Maio de 2010.
- [47] ecd, “V-M.O.L.E,” 2011, <http://www.ecd.com> , acesso em 15 de Maio de 2010.
- [48] R. Saunders, “Thermocouple attachment: A primer,” ECD, Tech. Rep., 1999.
- [49] B. O. Leary, T. Grove, and D. S. M. Ramkumar, “Evaluating the accuracy of a nondestructive thermocouple attach method for area-array package profiling,” KIC, Tech. Rep., 2011.
- [50] Wikipedia, “Process Window Index,” 2011, http://en.wikipedia.org/wiki/Process_Window_Index, acesso em 15 de Maio de 2010.